

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 8 日
Date of Application:

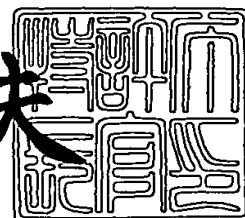
出 願 番 号 特 願 2 0 0 2 - 3 6 7 0 6 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 6 7 0 6 7]

出 願 人 株式会社デンソー
Applicant(s):

2 0 0 3 年 1 1 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 PY20021931

【提出日】 平成14年12月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 鈴木 巨裕

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 榊原 純

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 野田 理崇

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 山口 仁

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100068755

 【弁理士】

 【氏名又は名称】 恩田 博宣

【選任した代理人】

 【識別番号】 100105957

 【弁理士】

 【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908214

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板 (3) における主表面 (3 a) での表層部に形成された第 2 導電型のベース領域 (3 0) と、

前記ベース領域 (3 0) 内における前記主表面 (3 a) での表層部に前記ベース領域 (3 0) よりも浅く形成された第 1 導電型のソース領域 (3 1) と、

前記主表面 (3 a) での表層部において前記ベース領域 (3 0) とは離間した位置に形成された第 1 導電型のドレイン領域 (3 2) と、

前記主表面 (3 a) での表層部において前記ドレイン領域 (3 2) を含むとともに前記ベース領域 (3 0) と接する領域に前記ドレイン領域 (3 2) よりも深く、かつ、前記半導体基板 (3) よりも高濃度に形成された第 1 導電型のウエル領域 (3 3) と、

前記半導体基板 (3) の主表面 (3 a) から掘られ、その平面構造として前記ソース領域 (3 1) からドレイン領域 (3 2) に向かう方向においてベース領域 (3 0) を貫通するように形成されたトレンチ (3 5) と、

前記トレンチ (3 5) の内面においてゲート絶縁膜 (3 6) を介して形成されたゲート電極 (3 7) と、

前記ソース領域 (3 1) に電氣的に接続されたソース電極 (4 0) と、

前記ドレイン領域 (3 2) に電氣的に接続されたドレイン電極 (4 1) と、
を備えたことを特徴とする半導体装置。

【請求項 2】 第 1 導電型の半導体基板 (3) における主表面 (3 a) での表層部に形成された第 2 導電型のベース領域 (3 0) と、

前記ベース領域 (3 0) 内における前記主表面 (3 a) での表層部に前記ベース領域 (3 0) よりも浅く形成された第 1 導電型のエミッタ領域 (3 1) と、

前記主表面 (3 a) での表層部において前記ベース領域 (3 0) とは離間した位置に形成された第 2 導電型のコレクタ領域 (8 0) と、

前記主表面 (3 a) での表層部において前記コレクタ領域 (8 0) を含むとともに前記ベース領域 (3 0) と接する領域に前記コレクタ領域 (8 0) よりも深

く、かつ、前記半導体基板（３）よりも高濃度に形成された第１導電型のウエル領域（３３）と、

前記半導体基板（３）の主表面（３ａ）から掘られ、その平面構造として前記エミッタ領域（３１）からコレクタ領域（８０）に向かう方向においてベース領域（３０）を貫通するように形成されたトレンチ（３５）と、

前記トレンチ（３５）の内面においてゲート絶縁膜（３６）を介して形成されたゲート電極（３７）と、

前記エミッタ領域（３１）に電氣的に接続されたエミッタ電極（４０）と、

前記コレクタ領域（８０）に電氣的に接続されたコレクタ電極（４１）と、
を備えたことを特徴とする半導体装置。

【請求項３】 請求項１または２に記載の半導体装置において、

前記ウエル領域（３３）は底部から表面にかけて連続的に濃度が高くなっていることを特徴とする半導体装置。

【請求項４】 請求項１～３のいずれか１項に記載の半導体装置において、

少なくとも前記ベース領域（３０）内における前記主表面（３ａ）での表層部にベース領域（３０）よりも浅く、かつ、高濃度な第２導電型のベースコンタクト領域（３４）をトレンチ（３５）から離して形成するとともに、前記主表面（３ａ）の上にゲート絶縁膜（３８）を介してゲート電極（３９）を形成したことを特徴とする半導体装置。

【請求項５】 請求項１～４のいずれか１項に記載の半導体装置において、

前記半導体基板（３）の底部において半導体基板（３）よりも高濃度な第１導電型の埋め込み層（９）を有するとともに、前記トレンチ（３５）の底面角部を前記ウエル領域（３３）よりも深く、かつ埋め込み層（９）より浅くしたことを特徴とする半導体装置。

【請求項６】 請求項１～５のいずれか１項に記載の半導体装置において、

前記トレンチ（３５）の側面における前記ソース領域またはエミッタ領域（３１）の開口部にもゲート電極（３７）を配したことを特徴とする半導体装置。

【請求項７】 請求項１～４，６のいずれか１項に記載の半導体装置において、

SOI基板を用い、前記トレンチ(35)をSOI基板の埋め込み絶縁膜(2)に達するようにしたことを特徴とする半導体装置。

【請求項8】 請求項1～4, 6, 7のいずれか1項に記載の半導体装置において、

SOI基板を用い、SOI基板における埋め込み絶縁膜(2)上の半導体層(3)の厚さを前記ウエル領域(33)の深さにしたことを特徴とする半導体装置。

【請求項9】 第1導電型の半導体基板(3)における主表面(3a)での表層部に形成された第2導電型のベース領域(30)と、

前記ベース領域(30)内における前記主表面(3a)での表層部に前記ベース領域(30)よりも浅く形成された第1導電型のソース領域(31)と、

前記主表面(3a)での表層部において前記ベース領域(30)とは離間した位置に形成された第1導電型のドレイン領域(32)と、

前記主表面(3a)での表層部において前記ドレイン領域(32)を含むとともに前記ベース領域(30)と接する領域に前記ドレイン領域(32)よりも深く、かつ、前記半導体基板(3)よりも高濃度に形成された第1導電型のウエル領域(33)と、

前記半導体基板(3)の主表面(3a)から掘られ、その平面構造として前記ソース領域(31)からドレイン領域(32)に向かう方向においてベース領域(30)を貫通するように形成されたトレンチ(35)と、

前記トレンチ(35)の内面においてゲート絶縁膜(36)を介して形成されたゲート電極(37)と、

前記ソース領域(31)に電氣的に接続されたソース電極(40)と、

前記ドレイン領域(32)に電氣的に接続されたドレイン電極(41)と、
を備えた半導体装置の製造方法であって、

前記ベース領域(30)とソース領域(31)とドレイン領域(32)とウエル領域(33)とトレンチ(35)を形成した後において、前記主表面(3a)の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜(73)を配置する第1工程と、

前記絶縁膜(73)をマスクとしたイオン注入を行って前記主表面(3a)の表層部においてベースコンタクト領域(34)をトレンチ(35)から離して形成する第2工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項10】 第1導電型の半導体基板(3)における主表面(3a)での表層部に形成された第2導電型のベース領域(30)と、

前記ベース領域(30)内における前記主表面(3a)での表層部に前記ベース領域(30)よりも浅く形成された第1導電型のエミッタ領域(31)と、

前記主表面(3a)での表層部において前記ベース領域(30)とは離間した位置に形成された第2導電型のコレクタ領域(80)と、

前記主表面(3a)での表層部において前記コレクタ領域(80)を含むとともに前記ベース領域(30)と接する領域に前記コレクタ領域(80)よりも深く、かつ、前記半導体基板(3)よりも高濃度に形成された第1導電型のウエル領域(33)と、

前記半導体基板(3)の主表面(3a)から掘られ、その平面構造として前記エミッタ領域(31)からコレクタ領域(80)に向かう方向においてベース領域(30)を貫通するように形成されたトレンチ(35)と、

前記トレンチ(35)の内面においてゲート絶縁膜(36)を介して形成されたゲート電極(37)と、

前記エミッタ領域(31)に電氣的に接続されたエミッタ電極(40)と、

前記コレクタ領域(80)に電氣的に接続されたコレクタ電極(41)と、
を備えた半導体装置の製造方法であって、

前記ベース領域(30)とエミッタ領域(31)とコレクタ領域(80)とウエル領域(33)とトレンチ(35)を形成した後において、前記主表面(3a)の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜(73)を配置する第1工程と、

前記絶縁膜(73)をマスクとしたイオン注入を行って前記主表面(3a)の表層部においてベースコンタクト領域(34)をトレンチ(35)から離して形成する第2工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、詳しくは、横型MOSトランジスタに関するものである。

【0002】

【従来の技術】

この種の半導体装置が特許文献1に開示されている。この半導体装置は図25に示すような構成となっている。図25において、N-シリコン基板100における主表面100aでの表層部にベースP領域101が形成されるとともに、ベースP領域101内における主表面100aでの表層部にソースN+領域102が形成されている。さらに、主表面100aでの表層部にドレインN+領域103がベースP領域101から離間して形成されている。また、トレンチ104がN-シリコン基板100の主表面100aから掘られ、その平面構造としてソースN+領域102からドレインN+領域103に向かう方向においてベースP領域101を貫通するように形成されている。トレンチ104の内面においてゲート絶縁膜（図示略）を介してゲート電極（図示略）が形成されている。ソース領域102にはソース電極（図示略）が電氣的に接続されるとともに、ドレイン領域103にはドレイン電極（図示略）が電氣的に接続されている。

【0003】

このような構成とすることにより、トレンチゲートにて、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。

しかし、サージ対策を考慮して以下の改善すべき課題がある。つまり、ドレインN+領域103から侵入したサージはN-シリコン基板100の深い部分まで流れ、電界が集中しやすいベースP領域101のコーナー部より、ベースP領域101に侵入する。そして、ベースP領域101を縦方向に流れて、ソース電極よりグランドに至る。そのため、ベースP領域101の縦方向の抵抗がベース寄生抵抗として作用し、ソースN+領域102、ベースP領域101、N-層（100

)で構成される寄生バイポーラトランジスタをオンしやすくするのでサージに弱い。

【0004】

【特許文献1】

特開2001-274398号公報

【0005】

【発明が解決しようとする課題】

本発明はこのような背景の下になされたものであり、その目的は、オン抵抗の低減を図るとともにサージに強い半導体装置およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】

請求項1に記載の発明は、トレンチを設けており、このトレンチは、半導体基板の主表面から掘られ、その平面構造としてソース領域からドレイン領域に向かう方向においてベース領域を貫通するように形成されている。よって、トレンチゲート構造とすることにより、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。また、ウエル領域を設けており、このウエル領域は、主表面での表層部においてドレイン領域を含むとともにベース領域と接する領域にドレイン領域よりも深く、かつ、半導体基板よりも高濃度に形成され、第1導電型である。よって、ドレイン領域から進入したサージはウエル領域に入り、抵抗の低いウエル領域を通過してベース領域の表面側を流れ、ソース電極によりグラウンドに吸収される。そのため、サージがベース領域を縦方向に流れることはないので、ベース領域の寄生抵抗は低くなり、サージに強くなる。

【0007】

請求項2に記載の発明は、トレンチを設けており、このトレンチは、半導体基板の主表面から掘られ、その平面構造としてエミッタ領域からコレクタ領域に向かう方向においてベース領域を貫通するように形成されている。よって、トレンチゲート構造とすることにより、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。また、ウエル領域を設けており、このウエル領域

は、主表面での表層部においてコレクタ領域を含むとともにベース領域と接する領域にコレクタ領域よりも深く、かつ、半導体基板よりも高濃度に形成され、第1導電型である。よって、コレクタ領域から進入したサージはウエル領域に入り、抵抗の低いウエル領域を通してベース領域の表面側を流れ、エミッタ電極によりグランドに吸収される。そのため、サージがベース領域を縦方向に流れることはないので、ベース領域の寄生抵抗は低くなり、サージに強くなる。

【0008】

請求項3に記載のように、ウエル領域は底部から表面にかけて連続的に濃度が高くなっていると、サージをウエル領域の表面に流すことにより、ベース領域の表面にサージを流しやすく、ベース領域におけるサージの経路が短くなる。このことにより、寄生ベース抵抗を低減しベース領域の電位の上昇を抑え、サージ耐量を向上することができる。

【0009】

請求項4に記載のように、少なくともベース領域内における主表面での表層部にベース領域よりも浅く、かつ、高濃度な第2導電型のベースコンタクト領域をトレンチから離して形成するとともに、主表面の上にゲート絶縁膜を介してゲート電極を形成すると、半導体基板の主表面においてチャネルとして動作する領域を形成してオン抵抗を下げることができる。

【0010】

請求項5に記載のように、半導体基板の底部において半導体基板よりも高濃度な第1導電型の埋め込み層を有するとともに、トレンチの底面角部をウエル領域よりも深く、かつ埋め込み層より浅くすると、電界の集中しやすいトレンチの底面角部の近傍を不純物濃度の低い領域にして電界集中を防ぐことができ、耐圧を向上することができる。

【0011】

請求項6に記載のように、トレンチの側面におけるソース領域またはエミッタ領域の開口部にもゲート電極を配すると、実用上好ましいものとなる。

請求項7に記載のように、SOI基板を用い、トレンチをSOI基板の埋め込み絶縁膜に達するようにすると、素子分離用トレンチとゲート用トレンチとを同

時に作成することができる。

【0012】

請求項8に記載のように、SOI基板を用い、SOI基板における埋め込み絶縁膜上の半導体層の厚さをウエル領域の深さにすると、半導体層の膜厚を極力小さくすることにより、素子分離用トレンチの深さを浅くでき、トレンチをエッチングで作成する際のエッチングのコストを低減することができる。

【0013】

請求項9に記載の発明は、請求項4に記載の半導体装置の製造方法として、ベース領域とソース領域とドレイン領域とウエル領域とトレンチを形成した後に、主表面の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜を配置する第1工程と、絶縁膜をマスクとしたイオン注入を行って主表面の表層部においてベースコンタクト領域をトレンチから離して形成する第2工程と、を有することを特徴としている。よって、ベースコンタクト領域形成用の不純物が拡散してトレンチまで到達することを回避することができる。

【0014】

請求項10に記載の発明は、請求項4に記載の半導体装置の製造方法として、ベース領域とエミッタ領域とコレクタ領域とウエル領域とトレンチを形成した後に、主表面の上に、ベースコンタクト形成予定領域をコンタクトホールとして開口した絶縁膜を配置する第1工程と、絶縁膜をマスクとしたイオン注入を行って主表面の表層部においてベースコンタクト領域をトレンチから離して形成する第2工程と、を有することを特徴としている。よって、ベースコンタクト領域形成用の不純物が拡散してトレンチまで到達することを回避することができる。

【0015】

【発明の実施の形態】

（第1の実施の形態）

以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

【0016】

図1に本実施形態における半導体装置の縦断面を示す。本実施形態においては

SOI基板を用いている。つまり、シリコン基板1の上に絶縁膜（シリコン酸化膜）2を介して薄い単結晶シリコン層（単結晶半導体層）3が形成され、SOI基板を構成している。単結晶シリコン層3において、絶縁膜2に達する素子分離用トレンチ4が形成され、このトレンチ4にて多数の素子形成島が区画形成されている。素子分離用トレンチ4に関して、トレンチ4の側面にはシリコン酸化膜5が形成されるとともに、シリコン酸化膜5の内方にはポリシリコン膜6が充填されている。図1において、第1の素子形成島はロジック部であり、このロジック部においてCMOSトランジスタが形成されている。また、第2の素子形成島はバイポーラトランジスタ部であり、NPNトランジスタが形成されている。第3の素子形成島はパワーMOS部であり、横型パワーMOSトランジスタ（トレンチゲート型LDMOS）が形成されている。

【0017】

また、各島（図1では第1～第3の素子形成島）において、底部に $1.0 \times 10^{19} / \text{cm}^3$ 程度の埋め込みN⁺層7, 8, 9が形成され、その上部が $1.0 \times 10^{15} / \text{cm}^3$ 程度のN⁻層（3）となっている。以下の説明において、N型が第1導電型であり、P型が第2導電型である。

【0018】

ロジック部におけるCMOSトランジスタに関してNチャネルMOSとして、N⁻シリコン層3の表層部にはPウエル領域10が形成され、Pウエル領域10の不純物濃度は $1.0 \times 10^{17} / \text{cm}^3$ 程度である。Pウエル領域10の表層部にはソースN⁺領域11とドレインN⁺領域12が離間して形成されている。また、Pウエル領域10の上にはゲート酸化膜（図示略）を介してゲート電極13が配置されている。

【0019】

一方、PチャネルMOSとして、N⁻シリコン層3の表層部にはソースN⁺領域14とドレインP⁺領域15が離間して形成され、さらに、N⁻シリコン層3の上にはゲート酸化膜（図示略）を介してゲート電極16が配置されている。

【0020】

バイポーラトランジスタ部におけるNPNトランジスタに関して、N⁻シリコ

ン層 3 の表層部には P ウェル領域 20 が形成され、P ウェル領域 20 の表層部にはエミッタ N 領域 21 とベース P+領域 22 が離間して形成されている。エミッタ N 領域 21 内にはエミッタコンタクト N+領域 23 が形成されている。また、N-シリコン層 3 の表層部にはコレクタ N 領域（ディープ N 領域）24 が P ウェル領域 20 と離間して形成され、コレクタ N 領域（ディープ N 領域）24 は埋め込み N+層 8 に達している。コレクタ N 領域（ディープ N 領域）24 の表層部には N+コンタクト領域 25 が形成されている。ベース P+領域 22 とエミッタコンタクト N+領域 23 と N+コンタクト領域 25 は高濃度（ $1.0 \times 10^{20} / \text{cm}^3$ ）であり、ベース、エミッタ、コレクタの各電極と接している。

【0021】

パワー MOS 部における横型 MOS トランジスタについて説明する。図 1 での Y 部の詳細を、図 2, 3, 4, 5 を用いて説明する。図 2 は平面図であり、図 2 の A-A 線での縦断面を図 3 に、図 2 の B-B 線での縦断面を図 4 に、図 2 の C-C 線での縦断面を図 5 に示す。この MOS トランジスタにおいて N-シリコン層 3 を半導体基板として素子を作り込んでおり、N-シリコン層 3 の上面（3a）を半導体基板の主表面としている。

【0022】

図 3, 4, 5 に示すように、島内において底部に $1.0 \times 10^{19} / \text{cm}^3$ 程度の埋め込み N+層 9 が形成されており、その上部が $1.0 \times 10^{15} / \text{cm}^3$ の N-シリコン層 3 となっている。

【0023】

図 3 において N-シリコン層 3（基板の主表面 3a）での表層部にはベース P 領域 30 が形成されている。ベース P 領域 30 の深さは $1.4 \mu\text{m}$ である。また、ベース P 領域 30 は底部から表面にかけて連続的に濃度が高くなっている。具体的には、表面では $1.5 \times 10^{17} / \text{cm}^3$ であるが、深さ $1 \mu\text{m}$ では $1.5 \times 10^{16} / \text{cm}^3$ と $1/10$ の濃度になっている。このような濃度勾配はイオン注入、熱拡散といった通常用いられる半導体製造工程で作成でき、これにより当該ベース P 領域 30 を低コストで作製できることとなる。

【0024】

ベースP領域30内におけるN-シリコン層3（基板の主表面3a）での表層部にはソースN+領域31がベースP領域30よりも浅く形成されている。ソースN+領域31は、表面濃度が $1.0 \times 10^{20} / \text{cm}^3$ 、深さが $0.3 \mu\text{m}$ である。

【0025】

N-シリコン層3（基板の主表面3a）での表層部においてドレインN+領域32がベースP領域30とは離間した位置に形成されている。ドレインN+領域32は表面濃度が $1.0 \times 10^{20} / \text{cm}^3$ 、深さが $1 \mu\text{m}$ である。ドレインN+領域32の形成工程において、リンのイオン注入はバイポーラトランジスタ部のエミッタコンタクトN+領域23（図1参照）のイオン注入とマスクを共用している。これにより、マスクの増加を招くことなくドレインN+領域32を作成することができる。

【0026】

N-シリコン層3（基板の主表面3a）での表層部においてNウエル領域33が、ドレインN+領域32を含むとともにベースP領域30と接する領域に、ドレインN+領域32よりも深く、かつ、N-シリコン層3よりも高濃度に形成されている。詳しくは、N-シリコン層3において、 $1.0 \times 10^{16} / \text{cm}^3$ 程度のNウエル領域33が $1.0 \times 10^{17} / \text{cm}^3$ 程度のベースP領域30と重なり合うように形成されている。Nウエル領域33は深さが $3 \mu\text{m}$ であるとともに、Nウエル領域33は底部から表面にかけて連続的に濃度が高くなっている。

【0027】

N-シリコン層3（基板の主表面3a）での表層部、特にベースP領域30には、ベースコンタクトP+領域34がソースN+領域31よりもドレインN+領域32側に形成されている。ベースコンタクトP+領域34は、ベースP領域30よりも浅く、かつ、高濃度であり、表面濃度が $1.0 \times 10^{20} / \text{cm}^3$ 、深さが $0.5 \mu\text{m}$ である。

【0028】

図4に示すように、N-シリコン層3（基板の主表面3a）からトレンチ35が掘られている。トレンチ35の平面構造として、図2に示すごとくソースN+

領域 31 からドレイン N+領域 32 に向かう方向において図 5 に示すごとくベース P 領域 30 を貫通するように形成されている。つまり、トレンチ 4 はソース N+領域 31 からベース P 領域 30 を横切り、N ウェル領域 33 に達するように形成されている。また、図 2 に示すように、前述のベースコンタクト P+領域 34 は、トレンチ 35 から距離 d_1 だけ離して形成されている。つまり、図 2 の C-C 線での縦断面図である図 5 においてはベースコンタクト P+領域 34 はない。

【0029】

図 4 に示すように、トレンチ 35 の内面においてゲート酸化膜（ゲート絶縁膜）36 を介してゲート電極 37 が形成されている。詳しくは、ゲート電極 37 はリンがドーパされたポリシリコンを用いており、このポリシリコンゲート電極 37 がトレンチ 35 に埋め込まれている。また、図 5 に示すように、基板表面（主表面 3a）の上にもゲート酸化膜（ゲート絶縁膜）38 を介して、リンがドーパされたポリシリコンゲート電極 39 が形成されている。図 4 に示すように、トレンチ 35 の形成領域において基板表面に配したポリシリコンゲート電極 39 とトレンチ 35 内のポリシリコンゲート電極 37 は $1\ \mu\text{m}$ の幅でオーバーラップしている。このようにオーバーラップ範囲を狭くしたのは（トレンチ 35 の形成領域でのポリシリコンゲート電極 39 を極力エッチング除去したのは）、図 5 に示すごとくソース N+領域 31 の上方からゲート電極 39 を極力遠ざけるためである。

【0030】

図 3 に示すように、N-シリコン層 3 の上にはソース電極 40 とドレイン電極 41 が形成されている。ソース N+領域 31 およびベースコンタクト P+領域 34 はソース電極 40 と電氣的に接続されている。ドレイン N+領域 32 はドレイン電極 41 と電氣的に接続されている。

【0031】

トレンチ 35（ゲート電極 37）の深さは耐圧に影響を与えるため、耐圧設計上、重要なパラメータである。トレンチ 35 の近傍で電界集中が起きるのはコーナー部（図 4 の A1 部）である。従って、コーナー部近傍の電界を緩和できれば耐圧は向上する。コーナー部近傍の電界を緩和するには、コーナー部近傍のシリ

コン領域を不純物濃度の小さい領域にすればよい。そうすれば空乏層が広がりやすくなり、電界を緩和できる。

【0032】

図3に示すごとく本実施形態では、表面から $3\mu\text{m}$ の領域にNウエル領域33を形成するとともに、表面から $7\sim 10\mu\text{m}$ の領域に埋め込みN⁺層9があるため、表面から深さ $5\mu\text{m}$ においては $1.0\times 10^{15}/\text{cm}^3$ と不純物濃度が小さい。そのため、トレンチ35の深さを $5\mu\text{m}$ に設計している。つまり、トレンチ35の底面角部はNウエル領域33よりも深く、かつ、埋め込みN⁺層9よりも浅くなるようにしている。

【0033】

トレンチ35の深さの耐圧依存性をシミュレーションで調べた。その結果、トレンチの深さが $3\mu\text{m}$ では耐圧4.1ボルトであったデバイスがトレンチの深さが $5\mu\text{m}$ では6.5ボルトに耐圧が向上することが分かった。

【0034】

次に、横型パワーMOSトランジスタの動作について説明する。

オフ時（ドレイン電位：0.2ボルト，ゲート電位：0ボルト，ソース電位：0ボルト）の場合、ソースN⁺領域31からベースP領域30には電子は到達しないので、電流は流れない。

【0035】

オン時（ドレイン電位：0.2ボルト，ゲート電位：7ボルト，ソース電位：0ボルト）の場合、ベースP領域30におけるゲート酸化膜36，38と接する部位に反転層が形成される。そして、ソースN⁺領域31から、トレンチ35の表面および基板上面の反転層に電子は到達する。次に、トレンチ35の表面および基板上面の反転層より、Nウエル領域33に電子は到達する。この時、トレンチ35の深さは $5\mu\text{m}$ 、Nウエル領域33の深さが $3\mu\text{m}$ なので、Nウエル領域33でも $3\mu\text{m}$ まで電子は到達する。

【0036】

次に、電子はNウエル領域33からドレインN⁺領域32に到達する。この場合も、ドレインN⁺領域32の深さが $1\mu\text{m}$ なので、電子はドレインN⁺領域32

が近くなっても深い部分にも存在している。

【0037】

このように電流の経路は奥深くまで（表面から離れた深い部分にまで）形成されている。そのためオン抵抗を小さくすることができる。詳しくは、シミュレーション結果として、オン抵抗が $63.4 \text{ m}\Omega \cdot \text{mm}^2$ であり、従来のトレンチゲートを使用しない表面ゲートのみのデバイスと比較すると、半分程度のオン抵抗になっていることが分かった。

【0038】

次に、静電気サージが侵入した場合の動作について、図6，7を用いて説明する。詳しくは、サージの中で特に問題となることの多い正のサージがドレインから侵入する場合の動作について説明する。

【0039】

図6においてドレインN⁺領域32から侵入したサージはNウエル領域33を通過してベースP領域30（主にベースコンタクトP⁺領域34）からグラウンドに吸収される。この時、Nウエル領域33を通るとともにベースP領域30（主にベースコンタクトP⁺領域34）を経てサージが侵入するため、サージ侵入によるベースP領域30の電位上昇はほとんどない（ベース領域30での寄生抵抗による電位の上昇が抑えられる）。これにより、ベースP領域30とソースN⁺領域31間に形成される寄生ダイオードD1は動作しにくくなり、ソースN⁺領域31、ベースP領域30、N領域（主にNウエル領域33）で形成される寄生NPNバイポーラトランジスタQ1もオン動作しにくくなる。そのため、寄生バイポーラ動作による特定セルへの電流集中は生じにくくなり、サージ耐量は高くなる。

【0040】

以上のごとく、本実施形態においてはサージ耐量の高い横型パワーMOSトランジスタを提供することができる。特に、シミュレーション結果では、静電気試験（図7参照： 150Ω 、 150 pF ）の耐量が 16.0 kV であった。即ち、自動車用半導体装置には、静電気試験で $15 \sim 30 \text{ kV}$ の高いサージ耐量が要求されるが、これを満足させることができる。このように本実施形態では保護素子

なしに要求される高耐量を実現できるため、外付け保護素子が不要となり、大幅なコストダウンを図ることができる。

【0041】

このように本実施形態は下記の特徴を有する。

(イ) 図3、4に示すごとく、トレンチ35が、N-シリコン層（半導体基板）3の主表面3aから掘られ、その平面構造としてソースN+領域31からドレインN+領域32に向かう方向においてベースP領域30を貫通するように形成されている。よって、トレンチゲート構造とすることにより、電流通路を深さ方向に延ばすことができ、オン抵抗を低減することができる。また、Nウエル領域33が、主表面3aでの表層部においてドレインN+領域32を含むとともにベースP領域30と接する領域にドレインN+領域32よりも深く、かつ、N-シリコン層3よりも高濃度に形成されている。よって、ドレインN+領域32から進入したサージはNウエル領域33に入り、抵抗の低いNウエル領域33を通過してベースP領域30の表面側を流れ（図6の本実施形態ではベースコンタクトP+領域34を設けたので、主にここに流れ）、ソース電極40によりグランドに吸収される。そのため、サージがベースP領域30を縦方向に流れることはないので、ベースP領域30の寄生抵抗は低くなり、サージに強くなる。

(ロ) Nウエル領域33は底部から表面にかけて連続的に濃度が高くなっているため、サージをNウエル領域33の表面に流すことにより、ベースP領域30の表面にサージを流しやすく、ベースP領域30におけるサージの経路が短くなる。このことにより、寄生ベース抵抗を低減しベースP領域30の電位の上昇を抑え、サージ耐量を向上することができる。

(ハ) 少なくともベースP領域30内における主表面3aでの表層部にベースP領域30よりも浅く、かつ、高濃度なP型のベースコンタクト領域（ベースコンタクトP+領域34）をトレンチ35から離して形成するとともに、主表面3aの上にゲート酸化膜（ゲート絶縁膜）38を介してゲート電極39を形成した。よって、基板の主表面3aにおいてチャネルとして動作する領域を形成してオン抵抗を下げることができる。

(ニ) N-シリコン層（半導体基板）3の底部においてN-シリコン層3よりも高

濃度なN+型の埋め込み層（埋め込みN+層9）を有するとともに、トレンチ35の底面角部をNウェル領域33よりも深く、かつ埋め込みN+層9より浅くした。よって、電界の集中しやすいトレンチ35の底面角部の近傍を不純物濃度の低い領域にして電界集中を防ぐことができ、耐圧を向上することができる。

【0042】

図2においてはトレンチ35に対し距離d1だけ離してベースコンタクトP+領域34を形成したが、図8に示すように、ベースコンタクトP+領域34をトレンチ35に接するまで形成してもよい。図8においては基板表面にはチャンネルは形成されない。次に、図8と図9を比較する。図9はベースコンタクトP+領域34'を図中の左側、即ち、ソースN+領域31に対しドレインN+領域32とは反対側に形成している。ここで、図8においては1セルあたりのオン抵抗は、表面ゲート（プレーナゲート）がない分だけオン抵抗は高い。しかし、図8は、図9におけるベースコンタクトP+領域34'の存在した部分を削除しているので1セルの面積は小さくなる。そのため、図8は表面ゲートを削除したのかかわらず、図9の単位面積あたりのオン抵抗と同程度にすることが可能となる。

【0043】

このように、図8の構成とすることにより、単位面積あたりのオン抵抗を維持したままサージ耐量の高い横型パワーMOSトランジスタを提供することができることとなる。

【0044】

また、図3においてはベースコンタクトP+領域34はベースP領域30からNウェル領域33内に達するように形成したが、図10に示すようにベースコンタクトP+領域34をベースP領域30内にのみ形成してもよい。

（第2の実施の形態）

次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0045】

図11に本実施形態における横型パワーMOSトランジスタを示し、図11の上側にトランジスタの平面図を、図11の下側にトランジスタの縦断面図を示す。

【0046】

第1の実施形態に対し本実施形態においてはソースN+領域50もバイポーラトランジスタ部のエミッタコンタクトN+領域23（図1参照）とマスクを共用し、 $1\mu\text{m}$ と深く打ち込んだ構造としている。これにより、図3のソースN+領域31の深さは $0.3\mu\text{m}$ であったが、図11においてはソースN+領域50の深さは $1.0\mu\text{m}$ である。また、ベースP領域51もソースN+領域50を深くしたことに伴い $2.4\mu\text{m}$ と深くしている。

【0047】

このような構成とすることにより、第1の実施形態よりトレンチ35の深い部分に電流を流すことができる。

（第3の実施の形態）

次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0048】

図4に示した第1の実施形態の場合、図12に示すように、基板表面のポリシリコンゲート電極39がオーバーエッチングされやすい。即ち、トレンチ35の内部のポリシリコンゲート電極37が表面から $0.4\mu\text{m}$ ほどオーバーエッチングされ、ゲート電極がない所では電流が流れなくなることがある。詳しくは、図13に示すようにトレンチ35内にポリシリコンを充填すべくポリシリコン膜60を成膜し、エッチングにより同ポリシリコン膜60の表面を平坦化し、さらに、その上にマスク61を配置した状態でポリシリコン膜60をエッチングする際に、図12に示すように $0.4\mu\text{m}$ 程度のオーバーエッチングが発生する。

【0049】

そこで、本実施形態においては以下のようにしている。

図14に本実施形態における横型パワーMOSトランジスタを示し、図14の上側にトランジスタの平面図を、図14の下側にトランジスタの縦断面図を示す。

【0050】

図14において、基板表面のポリシリコンゲート電極39を、ソースN+領域31の側面での上方位置まで延ばして配置している。即ち、トレンチ35の側面

におけるソースN⁺領域31の開口部にもポリシリコンゲート電極37を配している。これにより、電流の流れる領域を広くすることができ、実用上好ましいものとなる。

(第4の実施の形態)

次に、第4の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0051】

図2～図5に示すMOSトランジスタを製造する場合、通常、ベースコンタクトP⁺領域34の形成は次のように行われる。まず、図15に示すように、マスク70を用いて所定領域にP⁺イオンを注入する（不純物にはボロンもしくはBF₂が用いられる）。そして、図16に示すように、アニールを行う。さらに、素子表面（上面）に酸化膜71をデポするとともに、図17に示すように、酸化膜71にコンタクトホール72を形成する。この一連の工程において、P⁺領域を形成するために注入する不純物としてのボロンもしくはBF₂はいずれも拡散係数が大きいので、容易にトレンチ35まで達し、しきい値電圧V_tを上昇させる原因になる。

【0052】

そのため、本実施形態では以下のようにしている。

まず、図18に示すように、イオン注入後のN⁺領域31、32のアニールを行った後、素子表面（上面）に酸化膜73をデポする。さらに、図19に示すように、酸化膜73にコンタクトホール74を形成する。そして、図20に示すように、マスク75を用いて所定領域にP⁺イオンを注入する（不純物にはボロンもしくはBF₂を用いる）。さらに、図21に示すようにアニールする。

【0053】

この工程により、P⁺の拡散を抑えることができる。

以上のように本実施形態においては、図2のようなベースコンタクトP⁺領域34をトレンチ35から離して形成している半導体装置の製造方法として、図19に示すように、ベースP領域30とソースN⁺領域31とドレインN⁺領域32とNウェル領域33とトレンチ35を形成した後において、主表面3aの上に、ベースコンタクト形成予定領域をコンタクトホールとして開口したシリコン酸化

膜（絶縁膜）73を配置する第1工程と、図20, 21に示すように、シリコン酸化膜（絶縁膜）73をマスクとしたイオン注入を行って主表面3aの表層部においてベースコンタクトP+領域34をトレンチ35から離して形成する第2工程と、を有する。よって、ベースコンタクト領域形成用の不純物が拡散してトレンチ35まで到達することを回避することができる。

（第5の実施の形態）

次に、第5の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0054】

図22に本実施形態における横型パワーMOSトランジスタを示し、図22の上側にトランジスタの平面図を、図22の下側にI-I線でのトランジスタの縦断面図を示す。図23に図22のJ-J線でのトランジスタの縦断面図を示す。

【0055】

図1の埋め込みN+層7, 8, 9のうちの埋め込みN+層8はバイポーラトランジスタで使用されるが図3の埋め込みN+層9については設けなくすることが可能である。この場合、トレンチ35内のゲート電極と埋め込み絶縁膜2間の電位差はないので、トレンチ35を深くしても耐圧の低下はない。そのため、図22, 23の本実施形態においては、トレンチ35を埋め込み絶縁膜2に接する構造にしている。この構造は素子分離用トレンチ4（図1参照）とMOSゲート用トレンチ35が同じ深さになるので、両方のトレンチを同一工程で作成することができる。即ち、SOI基板を用い、トレンチ35をSOI基板の埋め込み絶縁膜2に達するようにすることにより、素子分離用トレンチ4とMOSゲート用トレンチ35とを同時に作成することができる。その結果、工程コストの低減を図ることができる。

【0056】

また、このとき、絶縁膜2上のシリコン膜厚はNウェル領域33の深さが確保できるだけの厚さがあればよいので、3 μ mと小さくできる。この場合、素子分離用トレンチ4（図1参照）は3 μ mだけ、シリコンをエッチングすれば作成できるので、エッチングにかかるコストを少なくすることができる。即ち、SOI基板を用い、SOI基板における埋め込み絶縁膜2上のN-シリコン層（半導体

層) 3の厚さをNウエル領域33の深さにすることにより、N-シリコン層3の膜厚を極力小さくすることにより、素子分離用トレンチ4の深さを浅くでき、トレンチ4をエッチングで作成する際のエッチングのコストを低減することができる。

(第6の実施の形態)

次に、第6の実施の形態を、第1～第5の実施の形態との相違点を中心に説明する。

【0057】

図24に本実施形態における横型パワーMOSトランジスタを示し、図24の上側にトランジスタの平面図を、図24の下側にトランジスタの縦断面図を示す。

【0058】

第1～第5の実施の形態においてはMOSFETに適用した場合について説明してきたが、本実施形態においてはIGBT(絶縁ゲート型バイポーラトランジスタ)に適用している。つまり、図3のドレインN+領域32の代わりにP+領域80を作り、コレクタ領域(コレクタP+領域)とする。ソース領域はエミッタ領域となる(エミッタN+領域31となる)。また、電極40はエミッタ電極となり、電極41はコレクタ電極となる。Nウエル領域33はベース領域として機能する。

【0059】

このIGBTとした場合における構成についてもこれまで説明してきたMOSFETの場合と同様にして実施することができる(第1～第5の実施形態と同様に実施することができる)。

【図面の簡単な説明】

【図1】 実施形態における半導体装置の縦断面図。

【図2】 第1の実施の形態における横型パワーMOSトランジスタの平面図。

【図3】 図2のA-A線での縦断面図。

【図4】 図2のB-B線での縦断面図。

【図 5】 図 2 の C-C 線での縦断面図。

【図 6】 作用を説明するための縦断面図。

【図 7】 シミュレーションの条件を説明するための図。

【図 8】 横型パワー MOS トランジスタを示す図。

【図 9】 比較のための横型パワー MOS トランジスタを示す図。

【図 10】 横型パワー MOS トランジスタを示す縦断面図。

【図 11】 第 2 の実施の形態における横型パワー MOS トランジスタを示す図。

【図 12】 第 3 の実施の形態を説明するための縦断面図。

【図 13】 製造工程を示す縦断面図。

【図 14】 第 3 の実施の形態における横型パワー MOS トランジスタを示す図。

【図 15】 第 4 の実施の形態を説明するための縦断面図。

【図 16】 製造工程を示す縦断面図。

【図 17】 製造工程を示す縦断面図。

【図 18】 製造工程を示す縦断面図。

【図 19】 製造工程を示す縦断面図。

【図 20】 製造工程を示す縦断面図。

【図 21】 製造工程を示す縦断面図。

【図 22】 第 5 の実施の形態における横型パワー MOS トランジスタを示す図。


【図 23】 トランジスタの縦断面図。

【図 24】 第 6 の実施の形態における横型パワー MOS トランジスタ (IGBT) を示す図。

【図 25】 従来技術を説明するための横型パワー MOS トランジスタを示す図。

【符号の説明】

2…埋め込み絶縁膜、3…N-シリコン層、3a…主表面、9…埋め込み N+層、30…ベース P 領域、31…ソース N+領域、32…ドレイン N+領域、33…



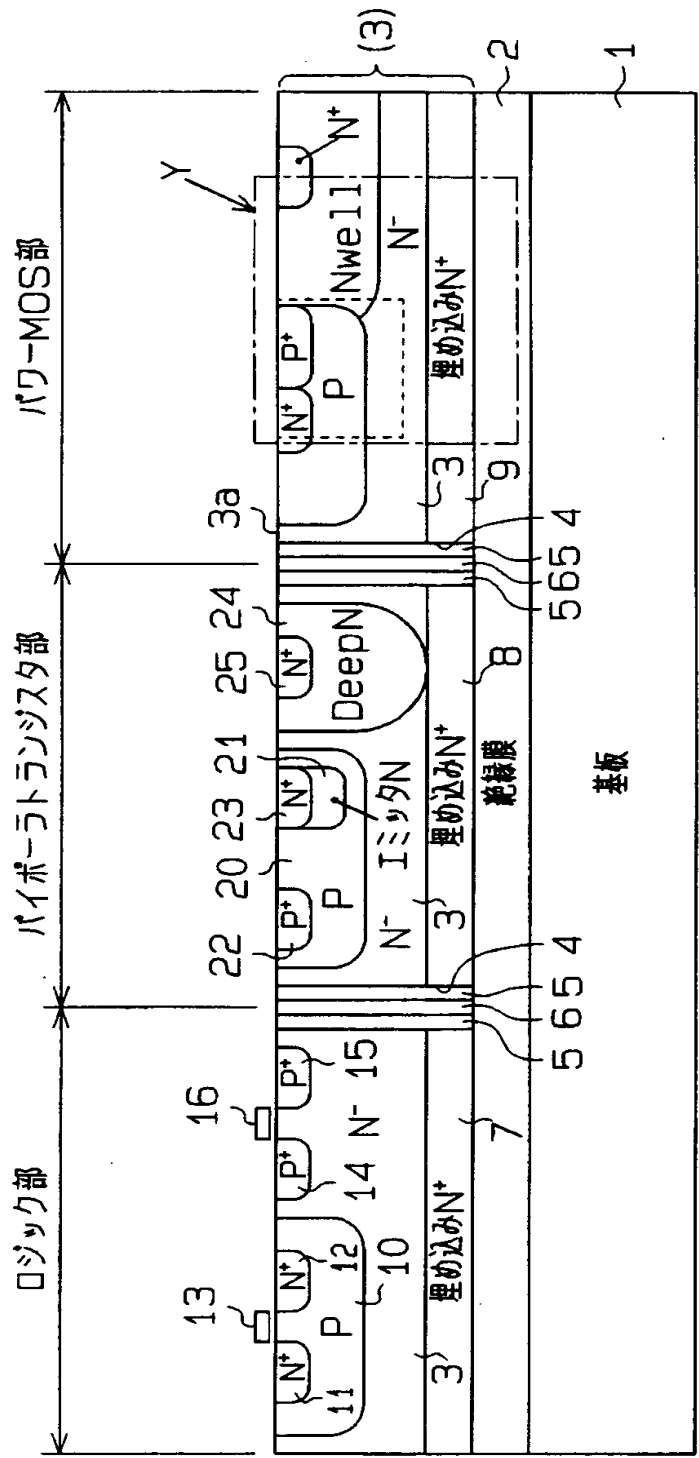
N ウエル領域、34…ベースコンタクト P⁺領域、35…トレンチ、36…ゲート酸化膜、37…ゲート電極、38…ゲート酸化膜、39…ゲート電極、40…ソース電極、41…ドレイン電極、73…絶縁膜、80…コレクタ P⁺領域。



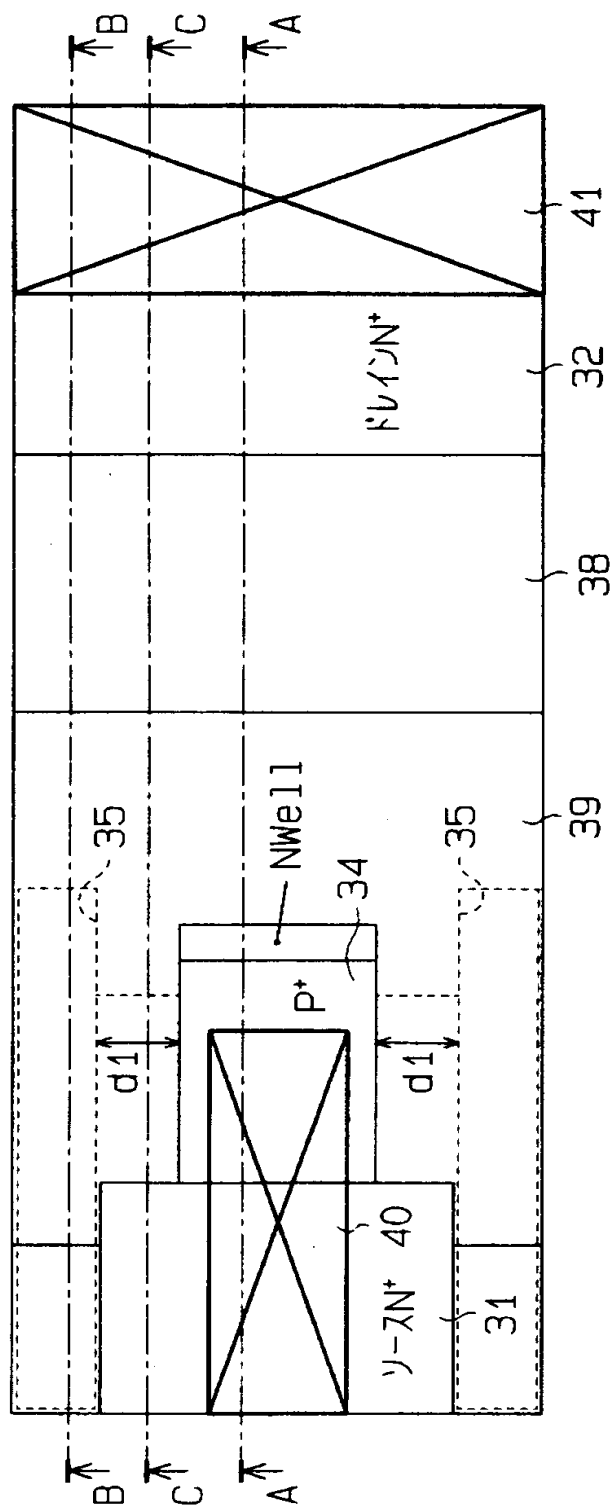
【書類名】

図面

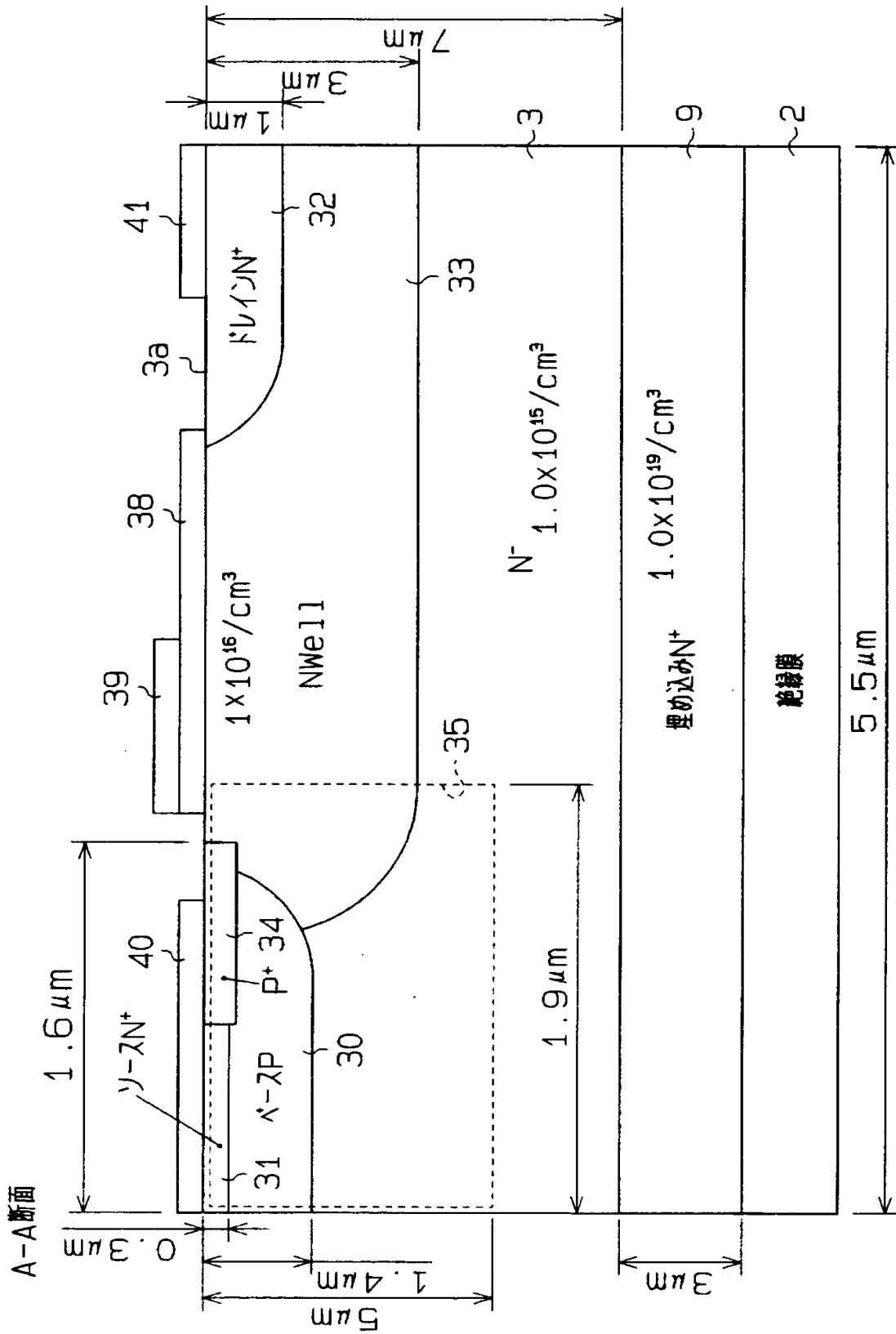
【図 1】



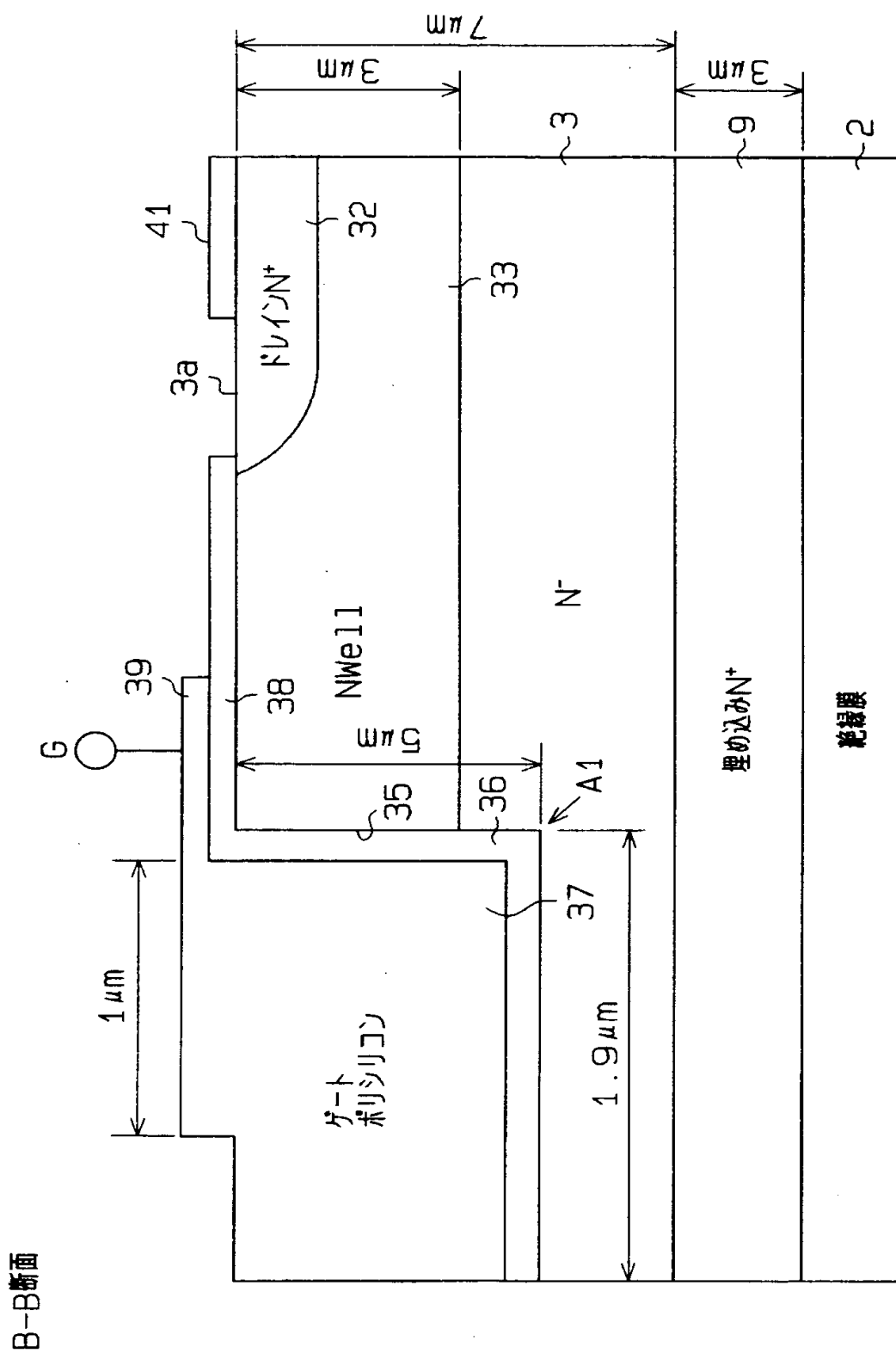
【図 2】



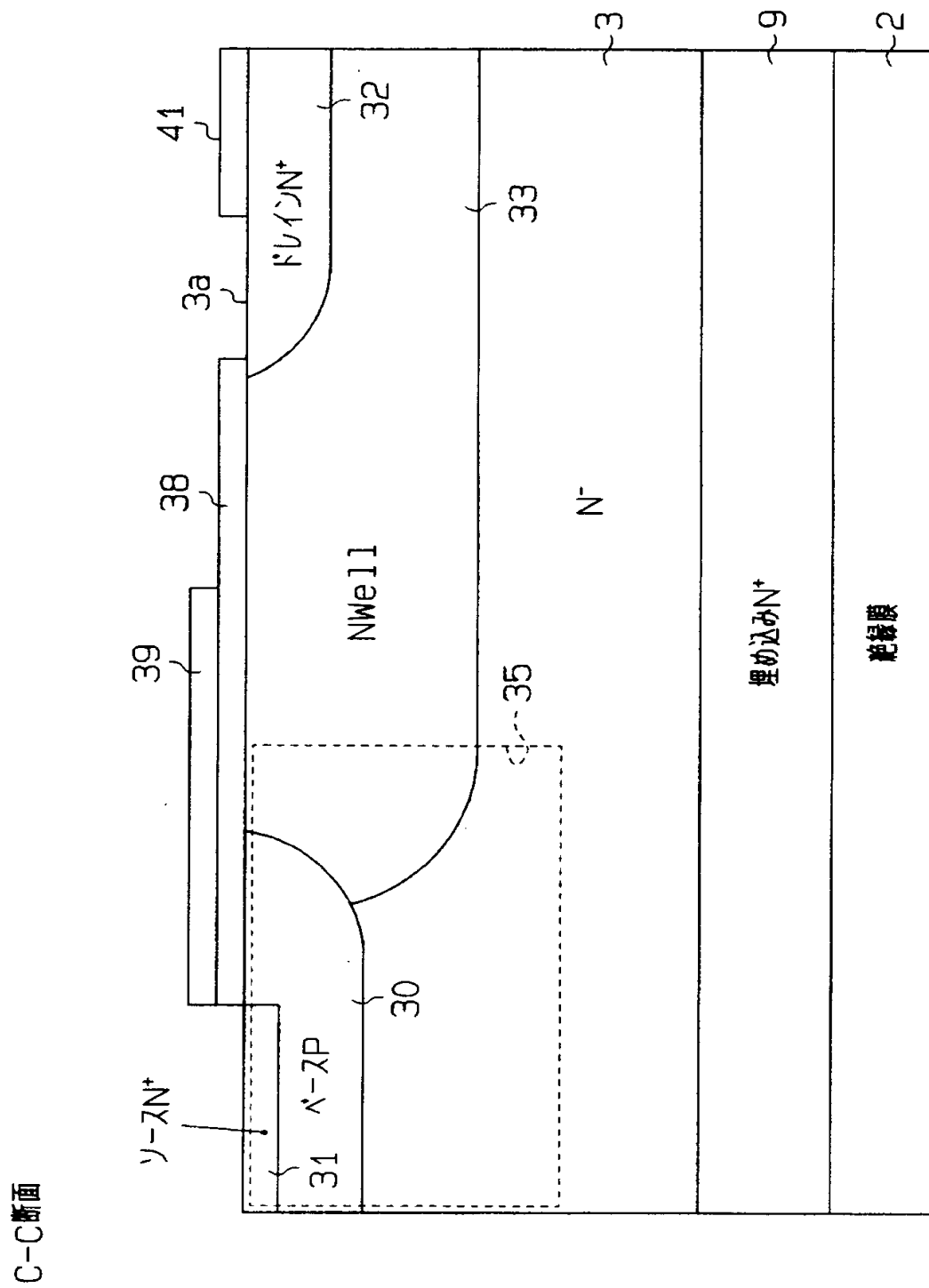
【図 3】



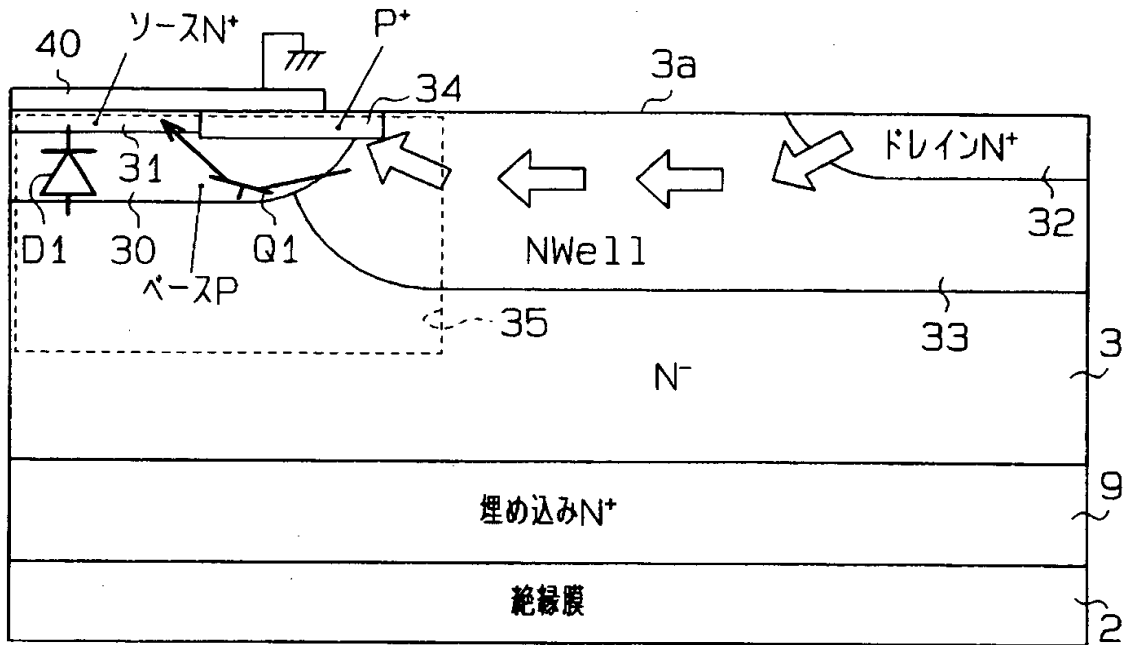
【図 4】



【図 5】

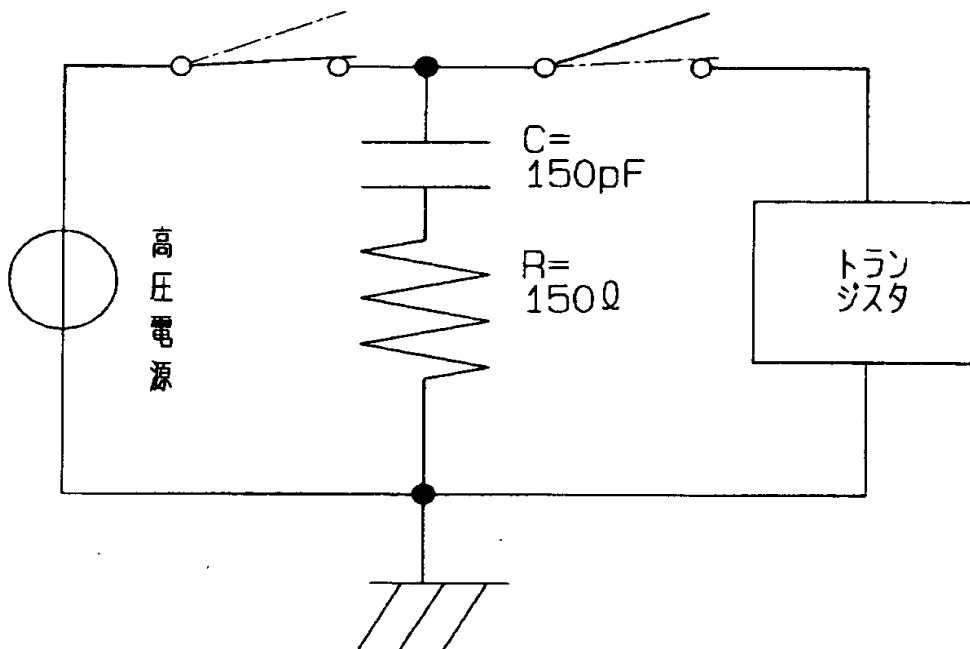


【図 6】

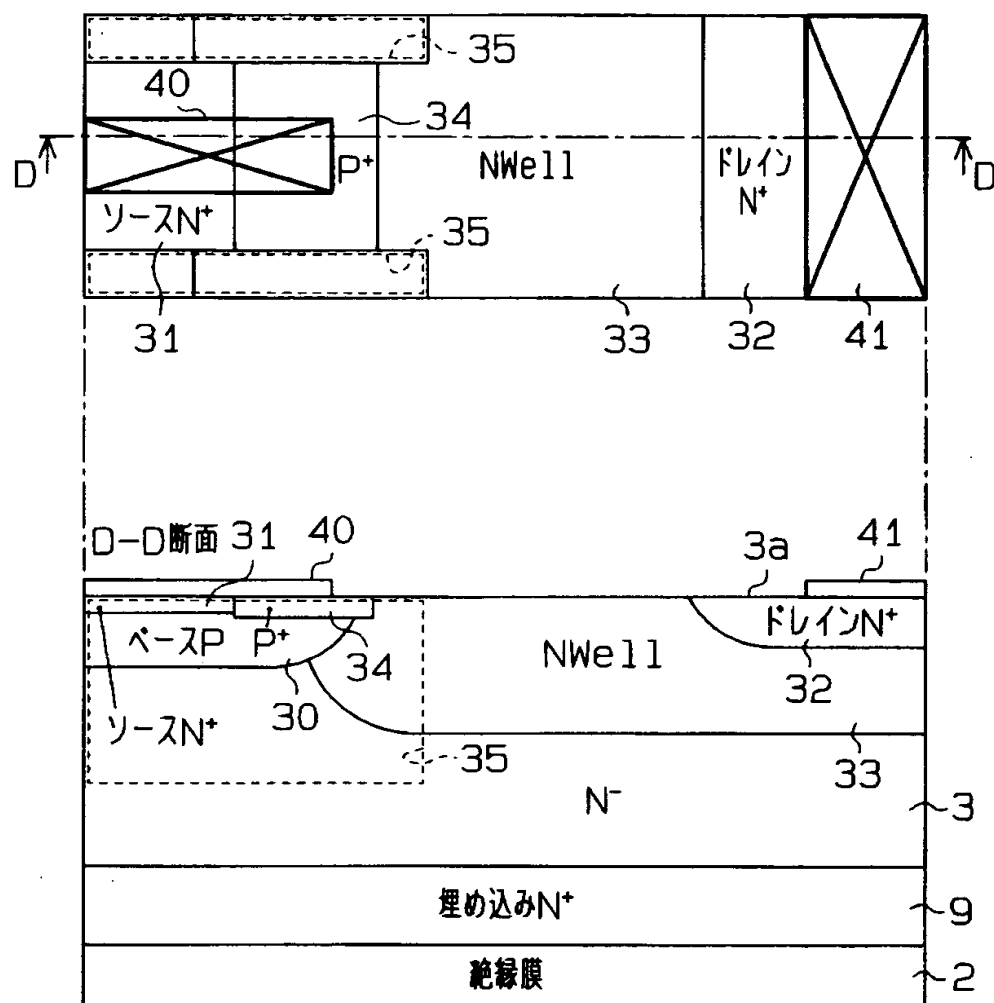


← サージの経路

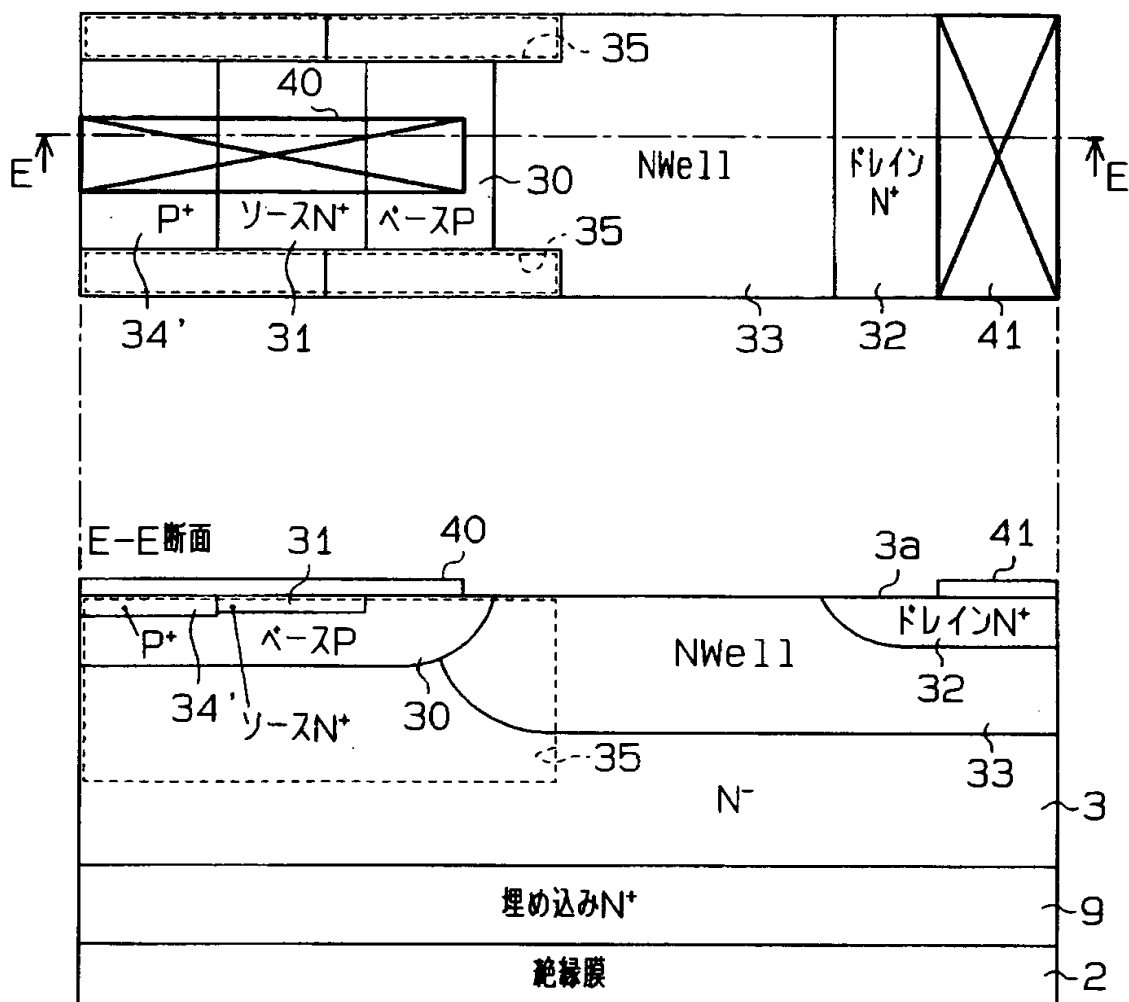
【図 7】



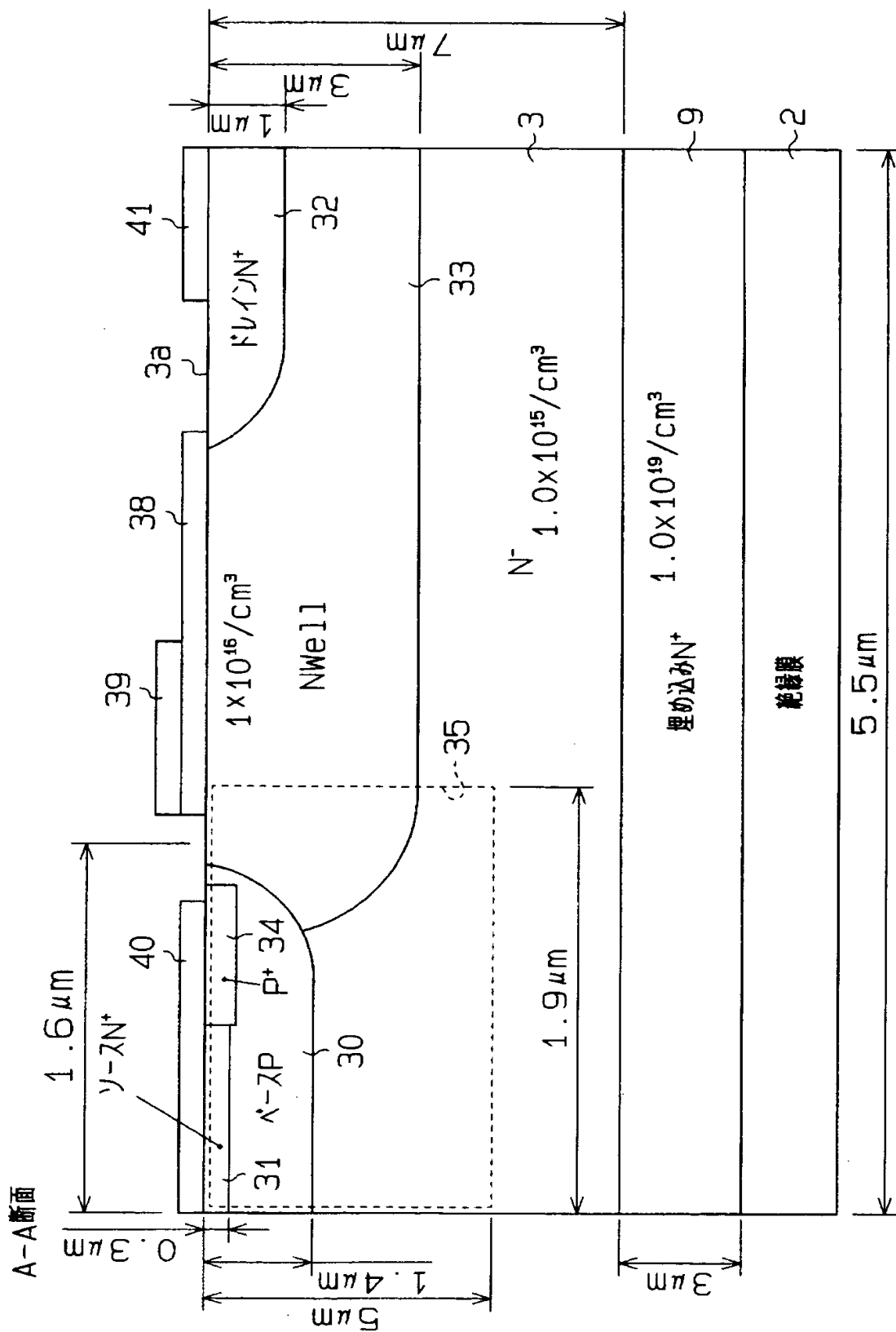
【図 8】



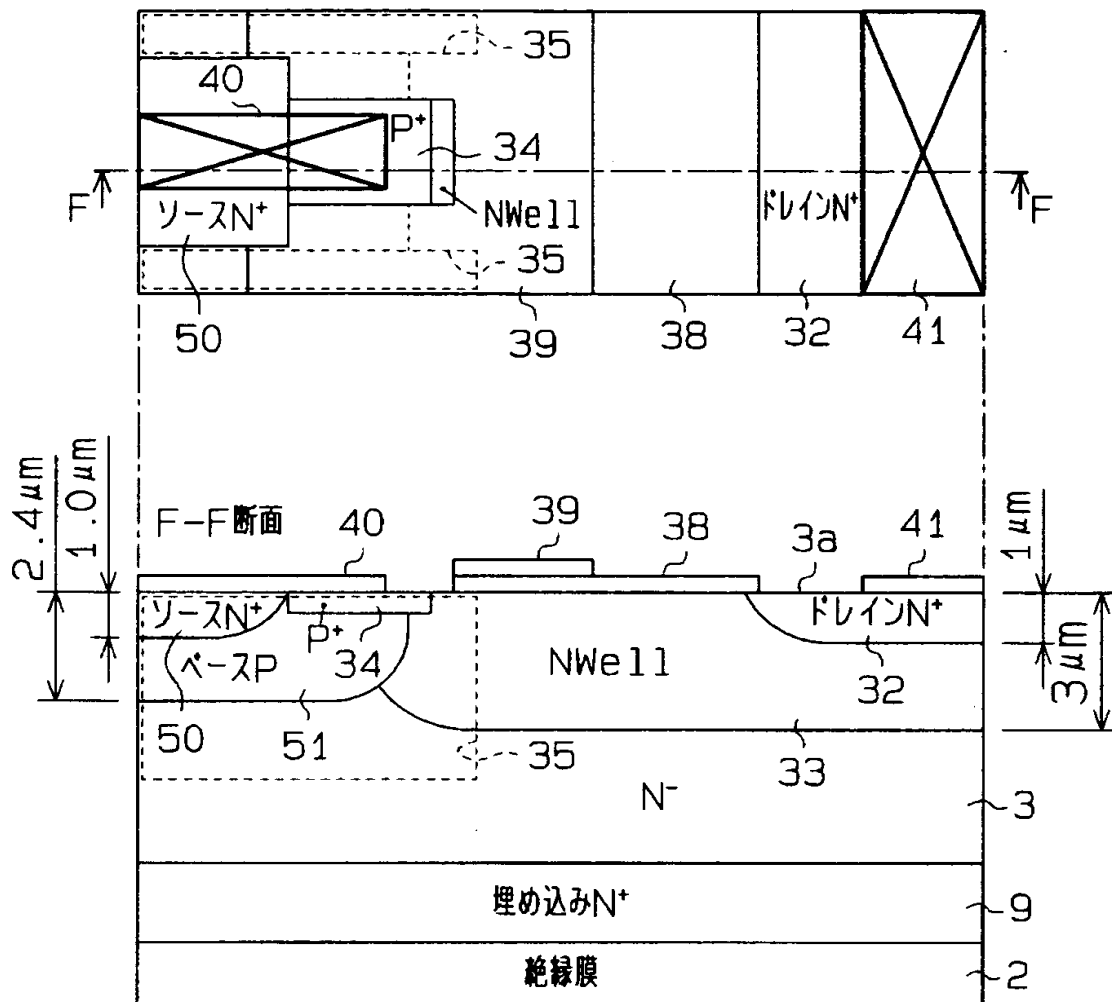
【図 9】



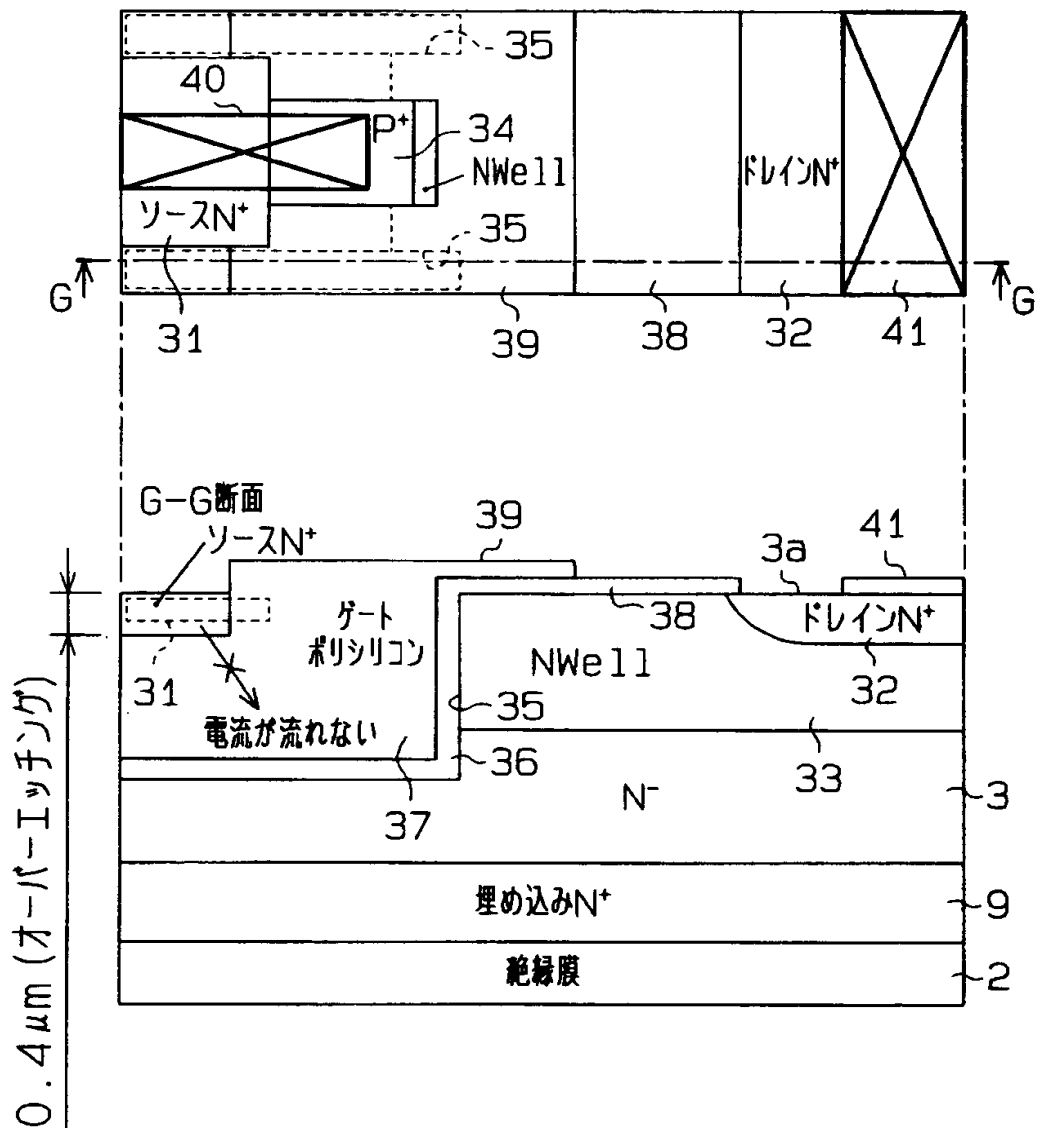
【図 10】



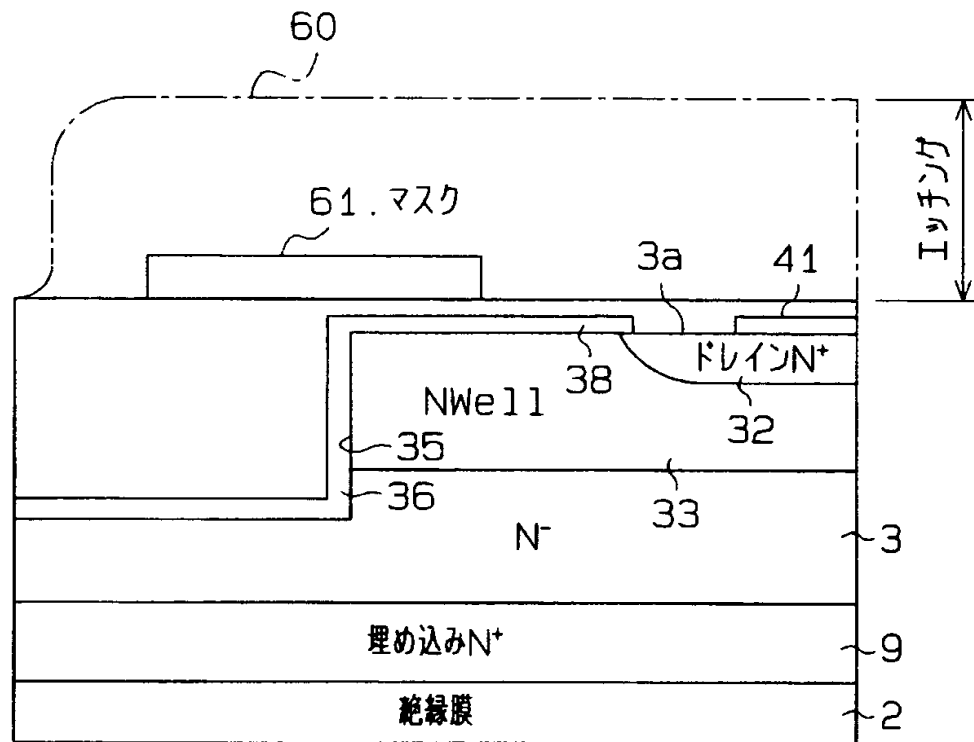
【図 11】



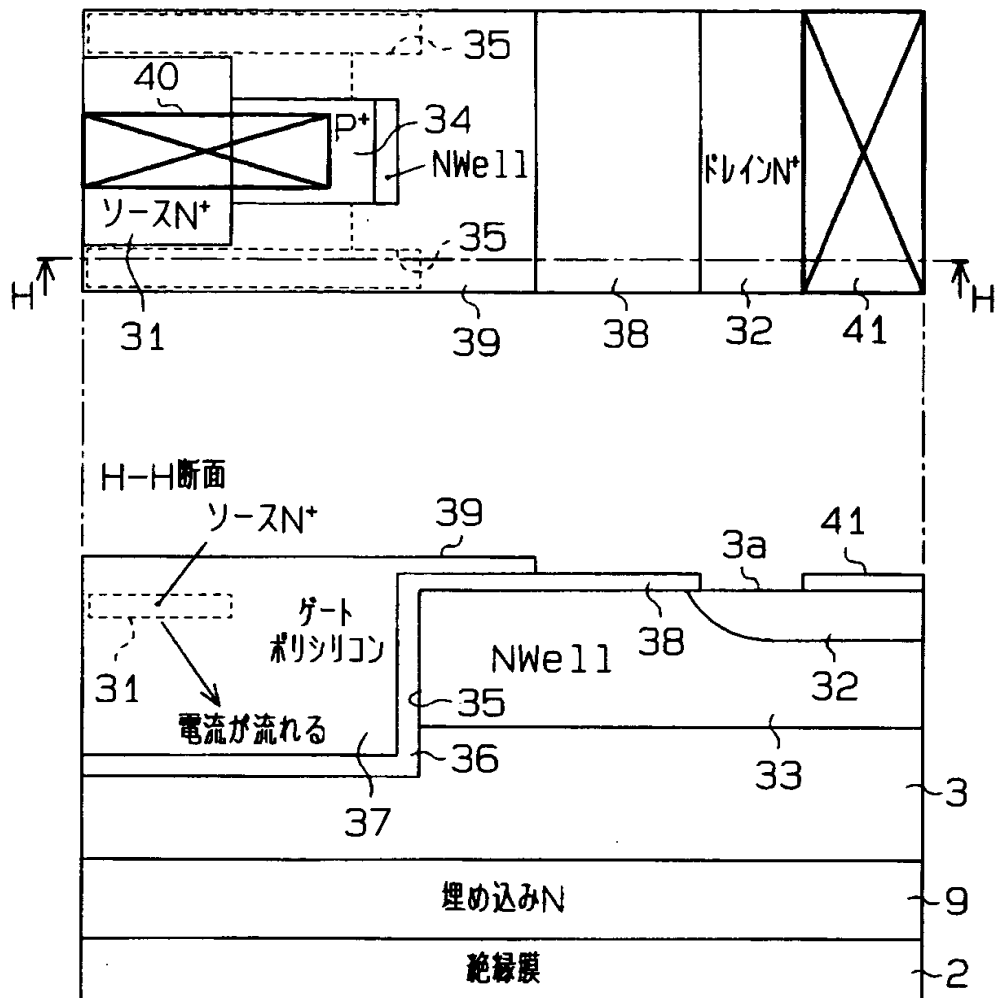
【図 1 2】



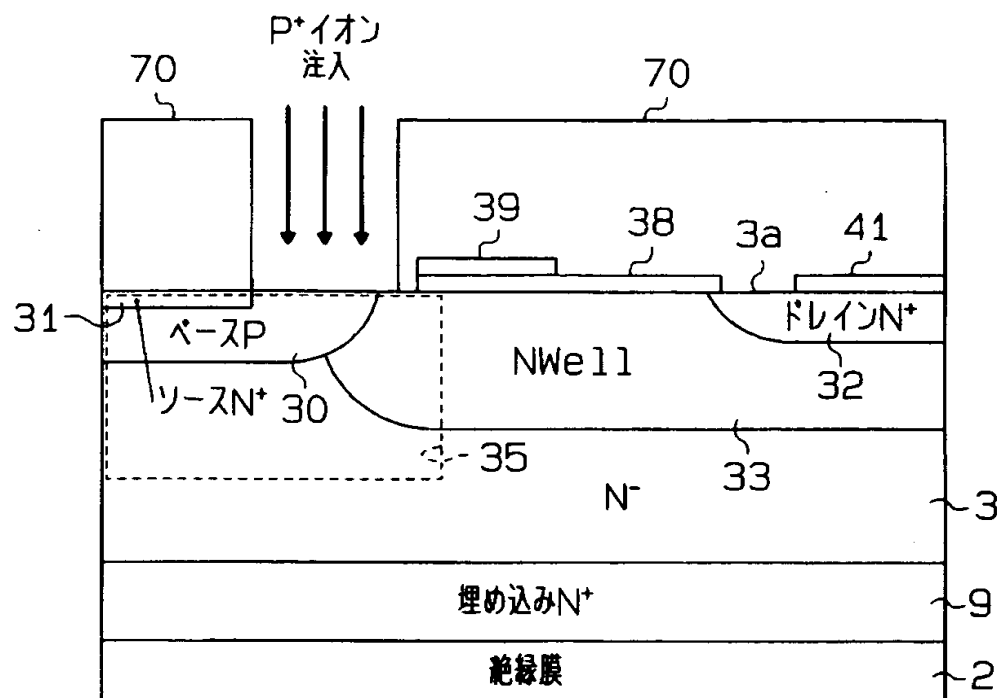
【図 13】



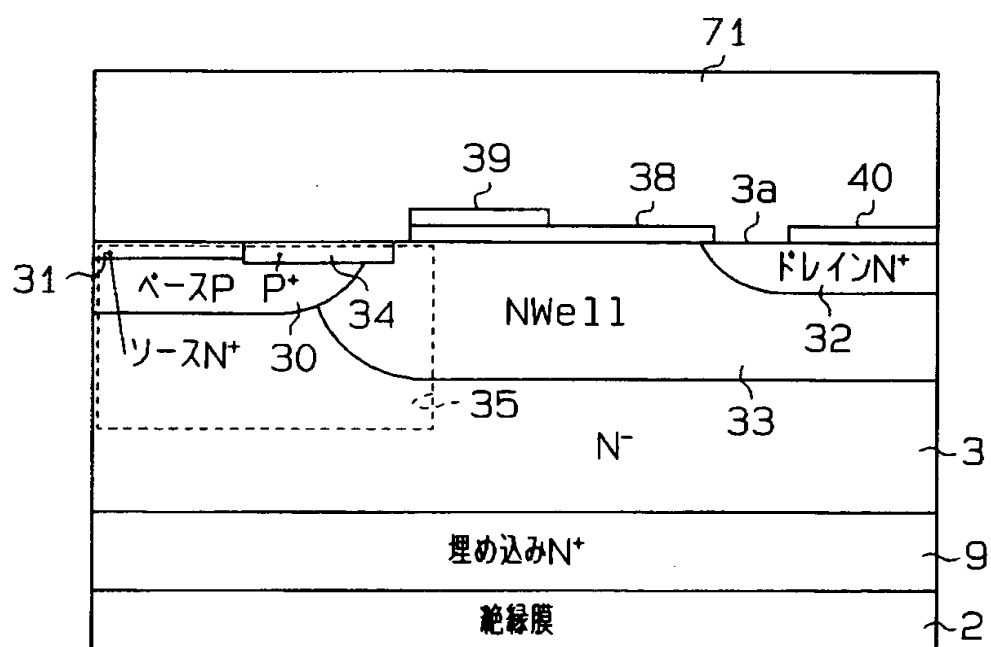
【図 14】



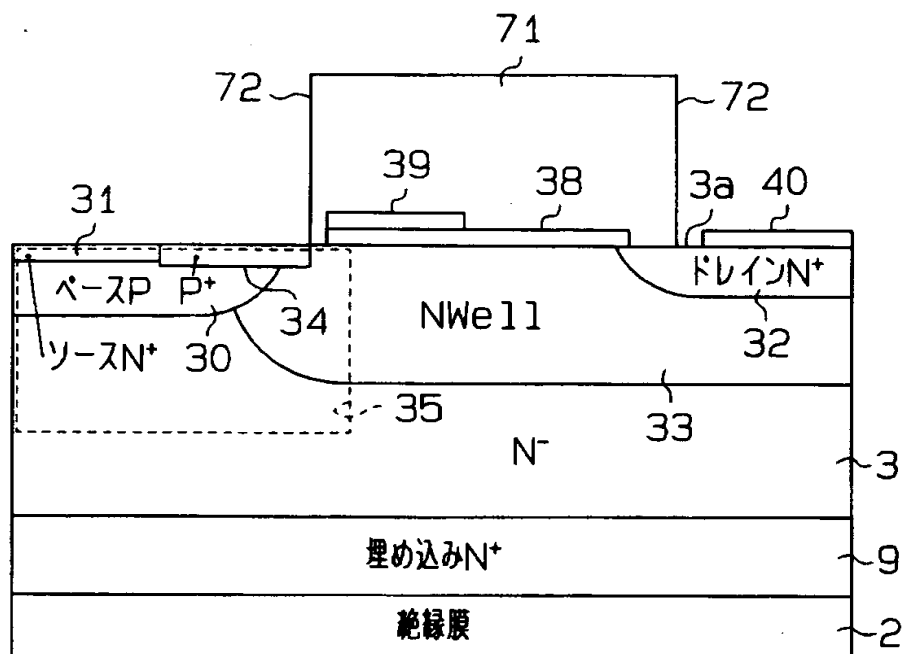
【図 15】



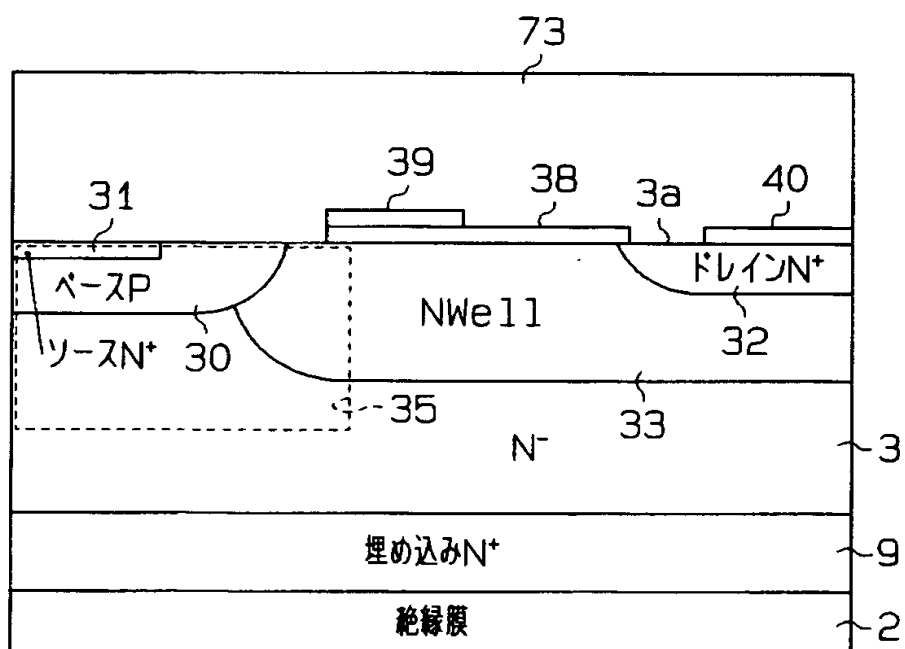
【図 16】



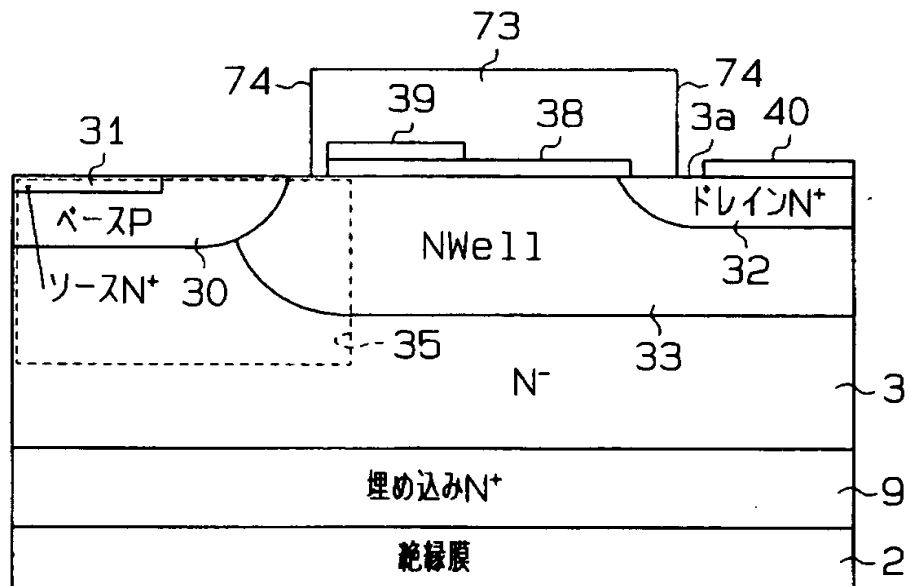
【図 17】



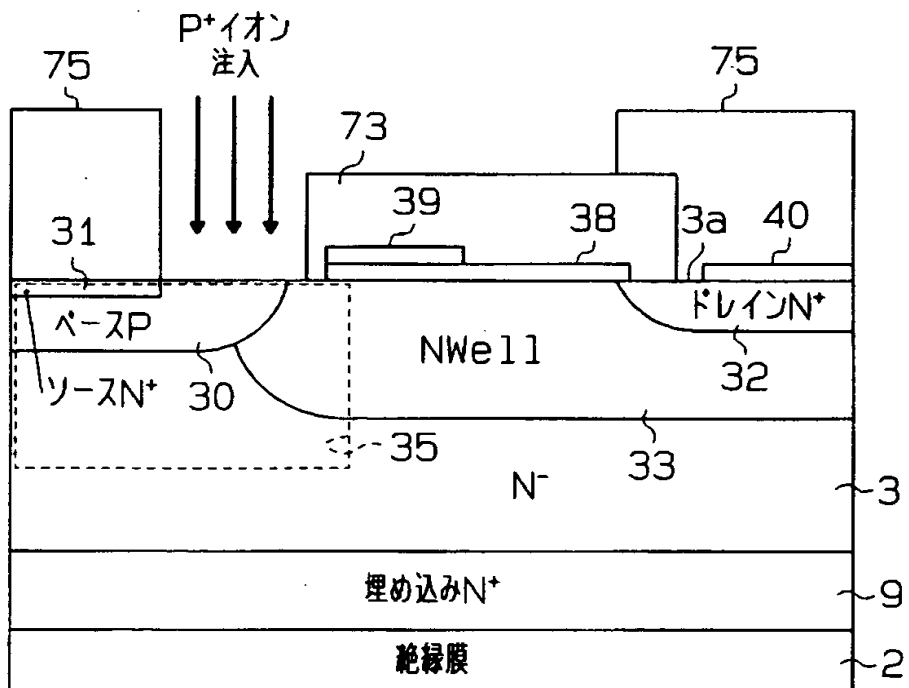
【図 18】



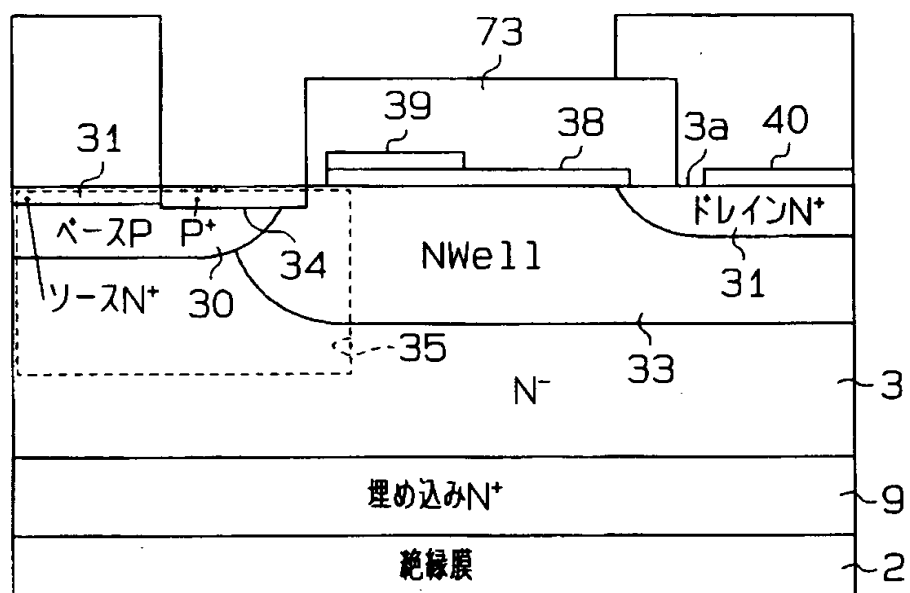
【図 19】



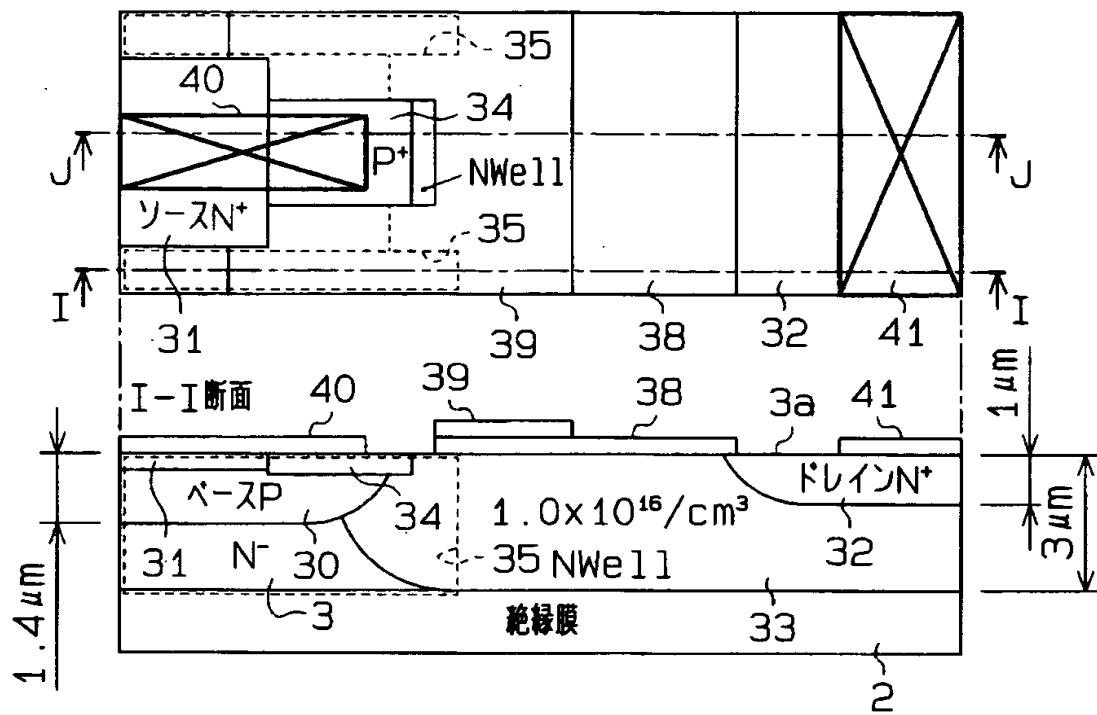
【図 20】



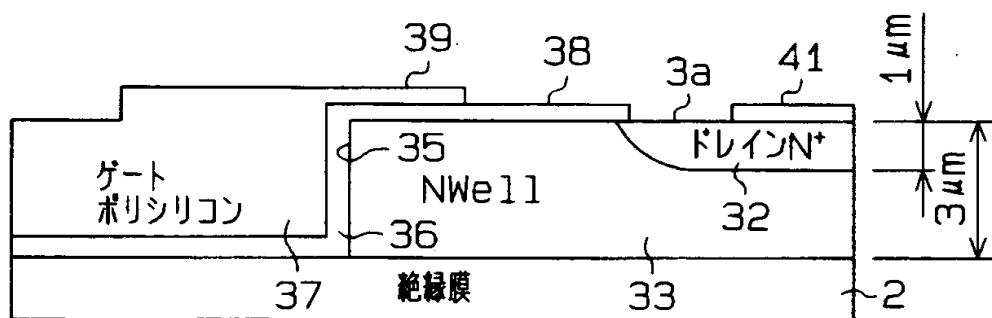
【図 21】



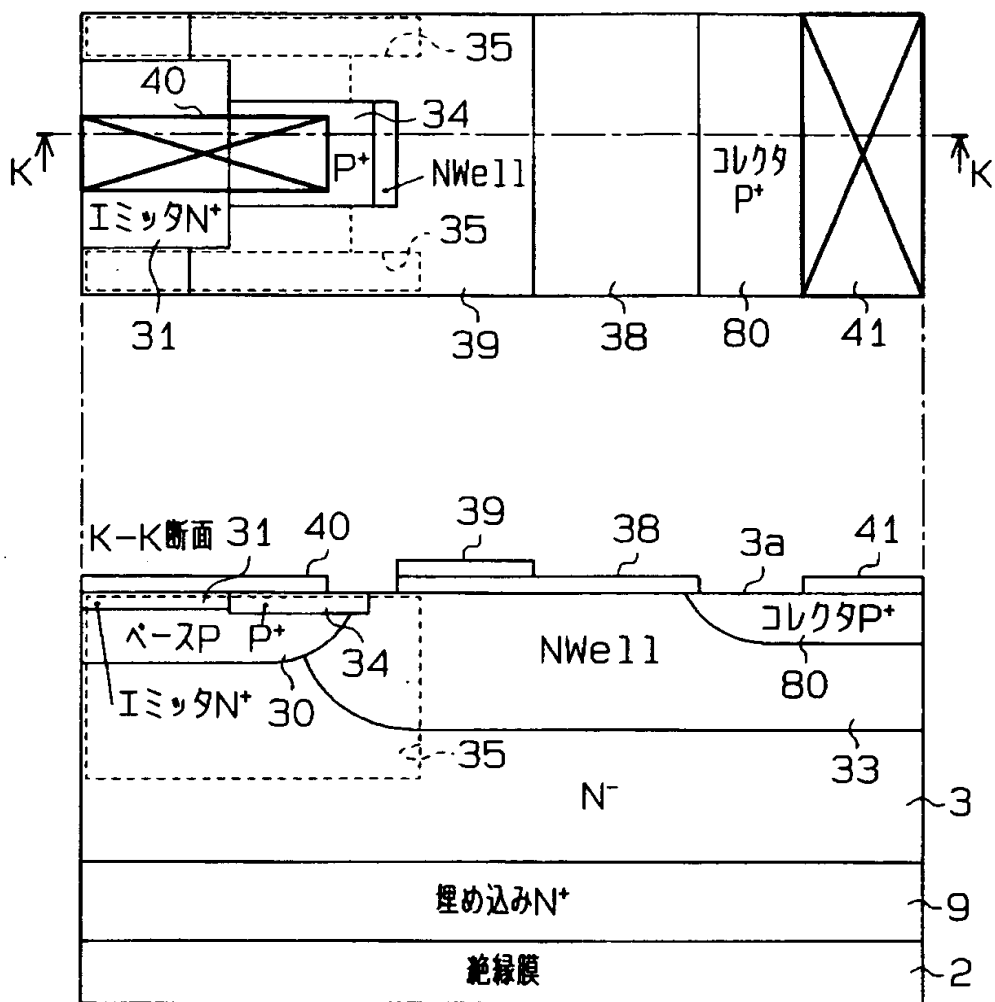
【図 2 2】



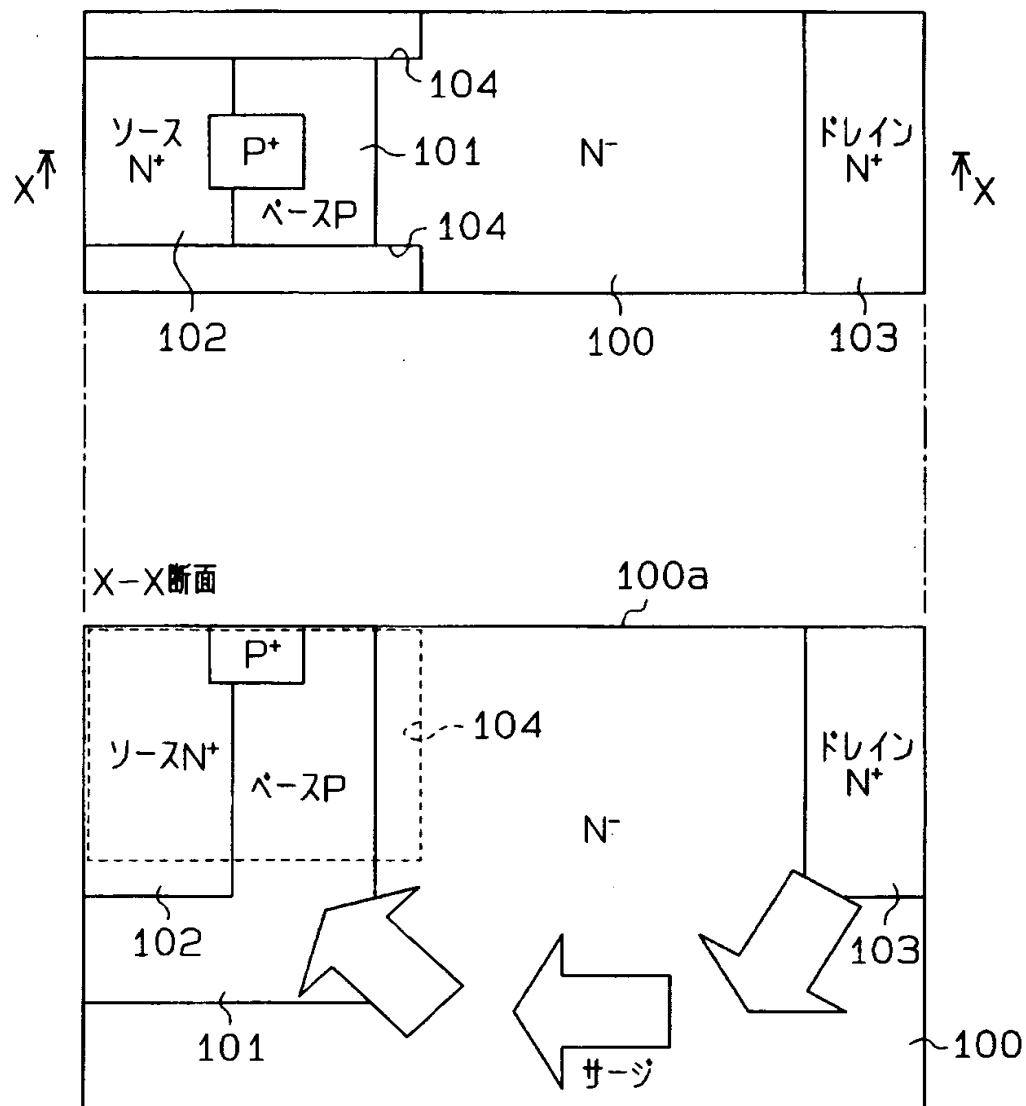
【図 2 3】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 オン抵抗の低減を図るとともにサージに強い半導体装置を提供する。

【解決手段】 N-シリコン層 3 における主表面 3 a での表層部にベース P 領域 3 0、ソース N+領域 3 1、ドレイン N+領域 3 2 が形成されている。主表面 3 a での表層部において N ウェル領域 3 3 がドレイン N+領域 3 2 を含むとともにベース P 領域 3 0 と接する領域にドレイン N+領域 3 2 よりも深く形成されている。トレンチ 3 5 が平面構造としてソース N+領域 3 1 からドレイン N+領域 3 2 に向かう方向においてベース P 領域 3 0 を貫通するように形成され、トレンチ 3 5 の内面においてゲート絶縁膜を介してゲート電極が形成されている。

【選択図】 図 3

特願 2 0 0 2 - 3 6 7 0 6 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 6 0]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー